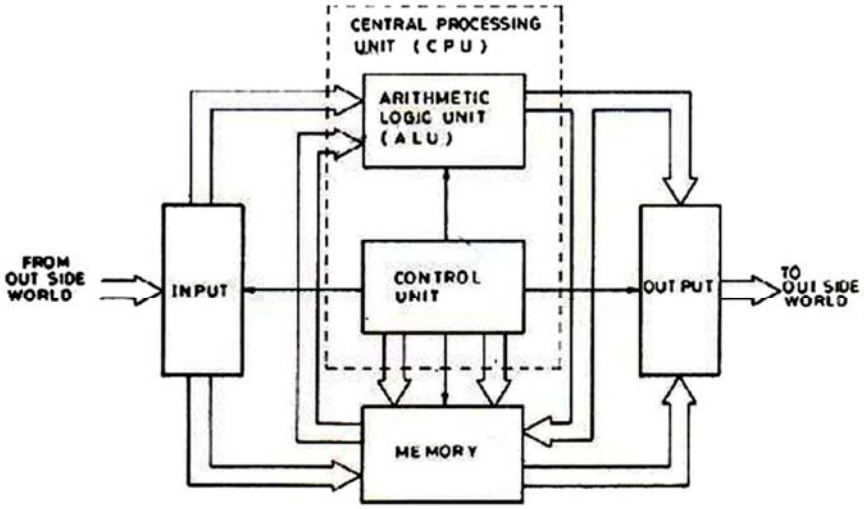
وزارت علوم، تحقیقات و فناوری
دانشگاه جهرم
دانشکده فنی و مهندسی

آزمایشگاه معماری کامپیوتر



گردآورنده :

محمّد علی شفیعیان

با سپاس فراوان از :

آقای مهندس محمّدنبی بهمن‌زادگان جهرمی

فهرست

عنوان	صفحه
آزمایش ۱ : بررسی عملکرد واحد ریاضی و واحد کنترل	۱
آزمایش ۲ : پیاده‌سازی یک طبقه از واحد *ALU* و واحد کنترل در یک کامپیوتر دیجیتال	۷
آزمایش ۳ : آشنایی بیشتر با *IC*، ۷۴۱۸۱	۱۲
آزمایش ۴ : بررسی عملکرد ثبات پرچم و آشنایی بیشتر با واحد *ALU* چهار بیتی	۱۸
آزمایش ۵ : بررسی بافر گذرگاه داده	۲۴
آزمایش ۶ : بررسی و پیاده‌سازی یک سلول از حافظه *SRAM*	۳۰
آزمایش ۷ :بررسی یک *IC* حافظه *SRAM*	۳۴
آزمایش ۸ : دیکدر آدرس	۳۹
آزمایش ۹ : انتقال داده و آشنایی با نحوه عملکرد شیفت‌رجیسترها	۴۳
آزمایش ۱۰ : انتقال ثبات و پیاده‌سازی واحد حساب و منطق	۴۷

آزمایشگاه معماری کامپیوتر

آزمایش شماره ۱

بررسی عملکرد واحد ریاضی و واحد کنترل

مقدمه آزمایش

به طور کلی، مدارهای الکترونیکی که با استفاده از نیمه هادی ها و *IC*ها ساخته می شوند به دو دسته آنالوگ و دیجیتال تقسیم بندی می گردند. الکترونیک آنالوگ به مدارهایی گفته می شود که با سیگنال های پیوسته کار می کنند و در آنها مقدار سیگنال به طور پیوسته از یک مقدار مینیمم تا یک مقدار ماکزیمم در حال تغییر است. در حالی که در الکترونیک دیجیتال با سیگنال های گسسته، سرو کار داریم که در آنها مقدار سیگنال به دو وضعیت مشخص و از قبل تعیین شده محدود می گردد.

*IC*هایی که در مدارهای آنالوگ به کار می روند را *IC*های خطی یا آنالوگ می نامند، مانند *Op-Amp* و *IC*هایی که در مدارهای دیجیتال به کار می روند را *IC*های غیرخطی یا دیجیتالی می نامند.

به طور کلی *IC*های دیجیتالی به ۴ گروه تقسیم بندی می شوند :

۱ـ مدارات دیجیتالی مقیاس کوچک یا *SSI* (*Small Scale Integration*) مانند : گیت های *OR*، *AND*، فلیپ فلاپ *JK* و ...

۲ـ مدارات دیجیتالی مقیاس متوسط یا *MSI* (*Medium Scale Integration*) مانند : شیفت رجیستر، حافظه، شمارنده و ...

۳ـ مدارات دیجیتالی مقیاس بزرگ یا *LSI* (*Large Scale Integration*) مانند : *IC* واحد محاسبه و منطق (*ALU*)

۴ـ مدارات دیجیتالی مقیاس خیلی بزرگ یا *VLSI* (*Very Large Scale Integration*) مانند : *IC* میکروپروسسور

به طور کلی یک کامپیوتر دیجیتالی از ۵ قسمت اساسی تشکیل شده است :

۱ـ دستگاه ورودی

۲ـ دستگاه خروجی

۳ـ حافظه اصلی

۴ـ واحد پردازش مرکزی

۵ـ حافظه جانبی

تجهیزات فیزیکی که کامپیوتر از آنها ساخته می شود یا به عبارت دیگر، اجزای فیزیکی و قابل لمس کامپیوتر ، سخت افزار نامیده می شود.

ـ دستگاه ورودی، داده ها را از خارج از کامپیوتر می گیرد مانند صفحه کلید، ماوس، قلم نوری و ...

ـ دستگاه خروجی، نتایج محاسبات یا پیام های لازم را به کاربر اطلاع می دهد، مانند صفحه نمایش.

ـ حافظه اصلی؛ برنامه در حال اجرا، نتایج محاسبات و ... در حافظه اصلی نگهداری می شود.

ـ واحد پردازش مرکزی، که وظیفه انجام محاسبات ریاضی و عملیات منطقی را بر عهده دارد. همچنین، هدایت و کنترل سیگنال ها در این واحد انجام می شود.

ـ حافظه جانبی، برای نگهداری اطلاعات و استفاده مجدد آنها استفاده می شود، مانند دیسک سخت.

در این آزمایش، هدف بررسی قسمتی از کارکرد واحد CPU می باشد. در کامپیوترهای شخصی، واحد CPU یا همان واحد پردازش مرکزی از ۳ قسمت اصلی تشکیل شده است که عبارتند از :

۱ـ ثبات ها جهت ذخیره اطلاعات

۲ـ واحد ریاضی و منطقی (ALU)

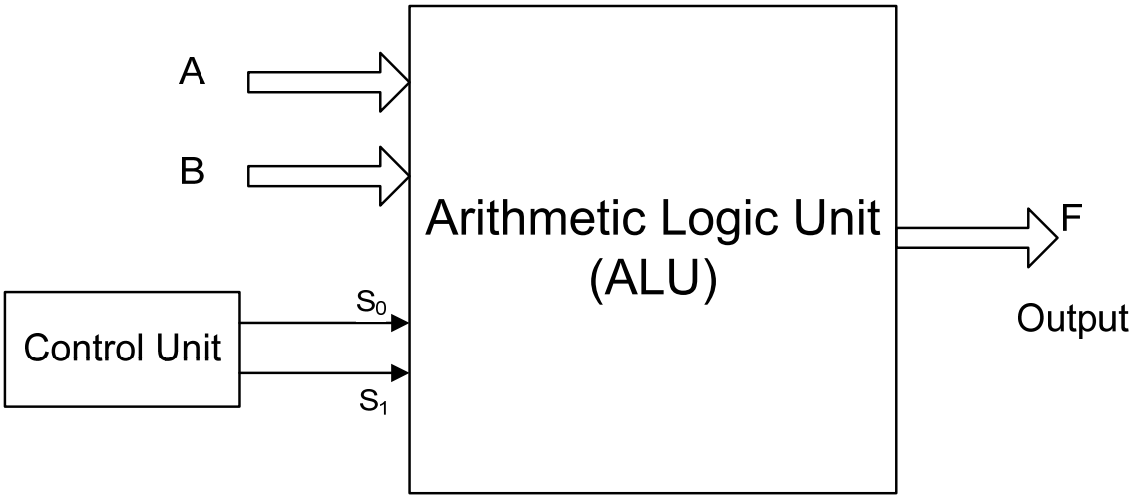
۳ـ واحد کنترل ($Control\ Unit$)

هر یک از عملیات ریاضی که بخواهد در کامپیوتر انجام گیرد، بایستی توسط سیگنال های کنترلی مشخصی، معین گردد. از واحد ALU برای انجام عملیات ریاضی و منطقی استفاده می شود. عملیات ریاضی عبارتند از جمع و تفریق و عملیات ضرب و تقسیم نیز توسط مدارهای ترکیبی درست می شوند. می توان با اعمال سیگنال های کنترلی خاصی، نحوه انجام عملیات ریاضی را برای کامپیوتر و یا واحد ALU مشخص کرد. در مدار ساده ای که در ادامه آورده شده است، نحوه عملکرد واحد ریاضی توسط سیگنال های کنترلیِ واحد کنترل مورد بررسی قرار می گیرد. در مدار مذکور، عملیاتی نظیر جمع، تفریق، یکی اضافه کردن، انتقال و ... توسط سیگنال کنترلی انجام می گیرد.

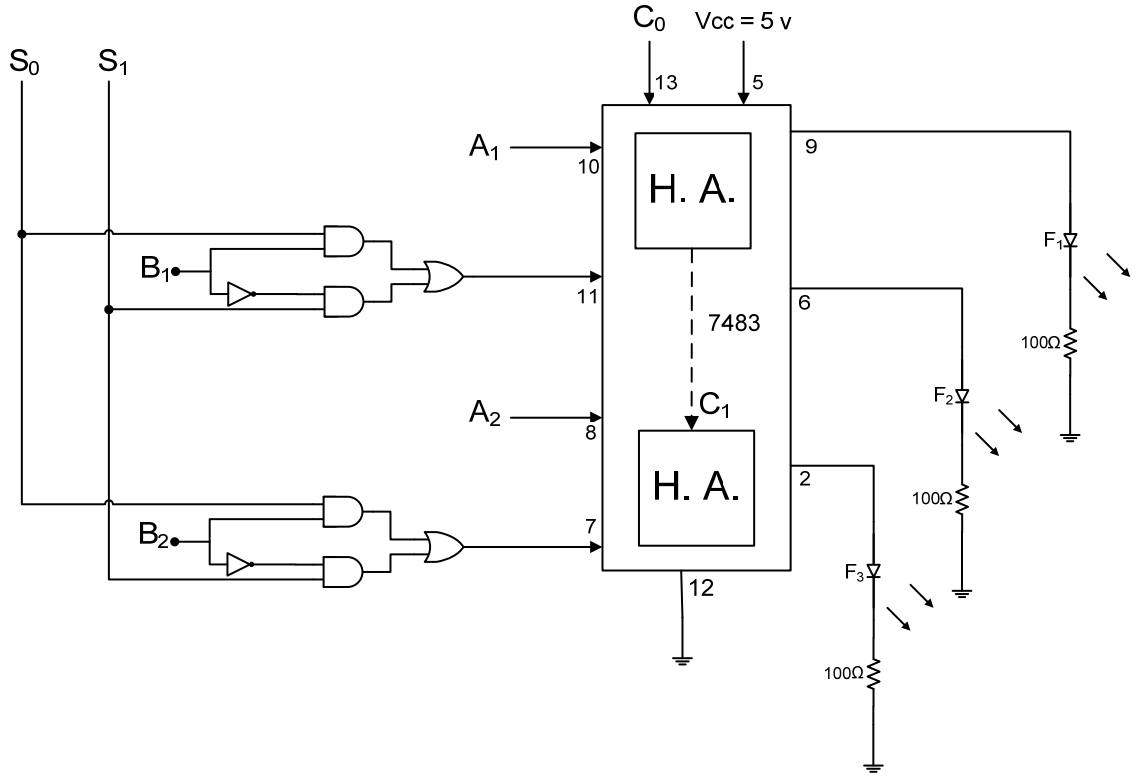
شرح آزمایش

در بلوک دیاگرام شکل ۱ و ۲ دو عدد n بیتی A و B وجود دارند. به وسیله واحد کنترل و اعمال سیگنال های کنترلی مانند S_0 و S_1 عملیات خاصی بین دو عدد A و B انجام می پذیرد. این اعداد می توانند اعداد ذخیره شده در ثبات ها باشند. برای سادگی مدار، فرض می کنیم که اعداد A و B اعدادی ۲ بیتی باشند.

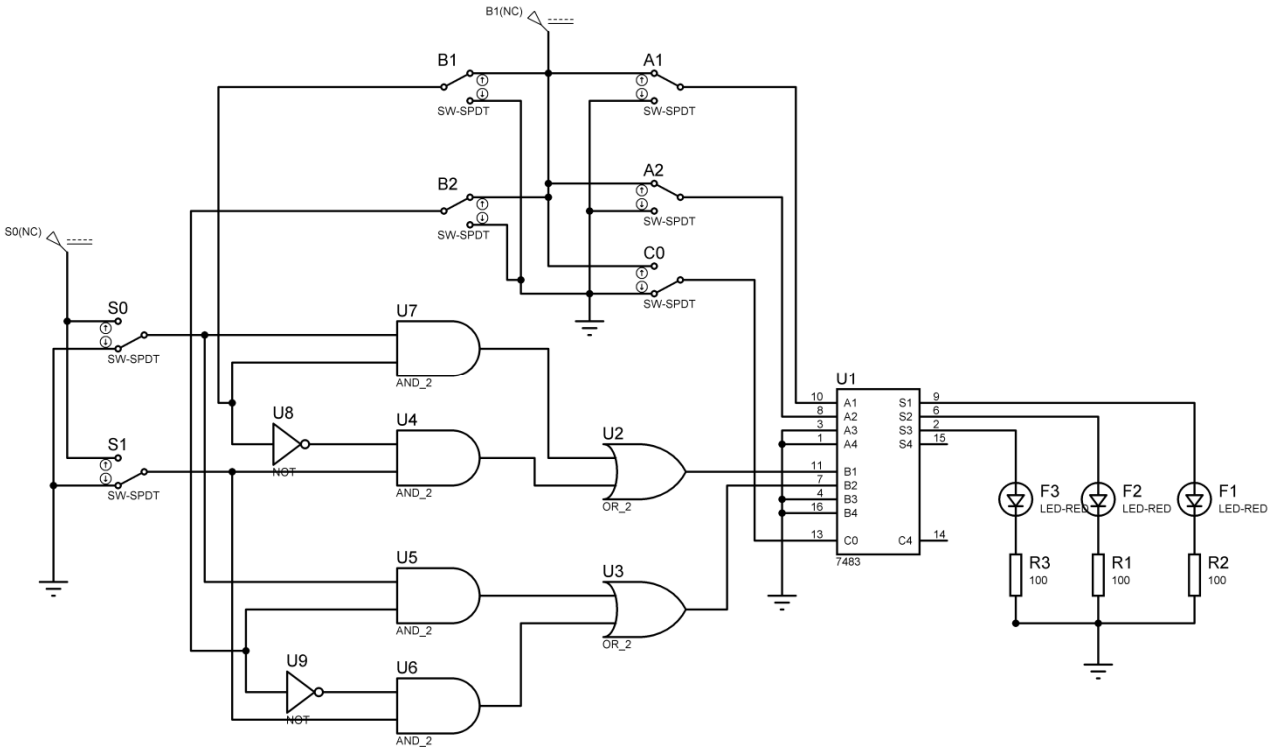
۱ ـ مدار شکل ۲ را ببندید (برای درک بهتر، شمای مداری شکل ۲ در شکل ۳ نیز آورده شده است).



شکل ۱



شکل ۲ : بلوک دیاگرام واحد ریاضی



شکل ۳ : شمای مداری واحد ریاضی

۲ـ به ازای حالات مختلف زیر، خروجی مدار را مشخص کنید (این کار را به ازای تمامی حالات جدول ۱ انجام دهید).

الف ـ $A=A_2A_1 = 11$ و $B=B_2B_1=01$

ب ـ $A=A_2A_1 = 00$ و $B=B_2B_1=10$

جدول ۱ : حالات مختلف برای آزمایش

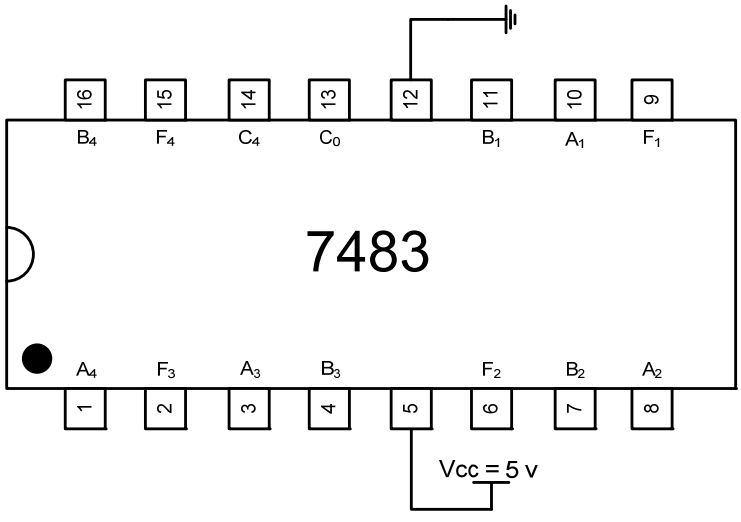
S_0	S_1	C_0	نوع عمل	$F= F_3F_2F_1$	
				حالت الف	حالت ب
0	0	0	A		
0	0	1	$A+1$		
0	1	0	$A+\bar{B}$		
0	1	1	$A+\bar{B}+1$		
1	0	0	$A+B$		
1	0	1	$A+B+1$		
1	1	0	$A+3$		
1	1	1	$A+4$		

تذکر : در ابتدا همانند قسمت (الف) ورودی های مورد نظر را به مدار اعمال می کنیم، سپس سیگنال های کنترلی لازم اعمال می شوند.

به ازای هر حالت در جدول ۱، خروجی نشان داده شده است. متناسب با خروجی مورد نظر و ورودی اعمالی، *LED*ها روشن می شوند.

نکاتی درباره *IC*، ۷۴۸۳ :

ـ پایه های ورودی و خروجی *IC*، ۷۴۸۳ :



شکل ۴

ـ این IC، یک واحد ریاضی محسوب می شود که عمل جمع دو عدد ۴ بیتی را انجام می دهد.

ـ در این IC باز بودن هر پایه (آزاد بودن) به منزله منطق یک می باشد.

ـ یک بودن خروجی، معادل ولتاژی در حدود ۴ ولت می باشد.

ـ در این IC دو عدد ۴ بیتی A و B به عنوان ورودی هستند که توسط IC مذکور با هم جمع می شوند.

ـ بیت C_0، بیت نقلی ورودی است و $C4$ بیت نقلی خروجی می باشد.

ـ در صورتی که $C_0=0$ گردد، تنها دو عدد A و B با هم جمع می شوند و در صورتی که $C_0=1$ گردد (آزاد باشد)، حاصل جمع A و B با عدد یک جمع می گردد که به طور خلاصه می توان نوشت :

If C0 = 0 → F =A+B or F = A plus B
If C0 = 1 → F =A+B+1 or F = A plus B plus 1

ـ در جمع دو عدد، بیت های A_1 و B_1 بیت های با کمترین ارزش (*LSB*) و بیت های A_4 و B_4 بیت های با بالاترین ارزش (*MSB*) هستند.

$$\begin{array}{cccccc} & & & & C_0 & \\ & A_4 & A_3 & A_2 & A_1 & \\ & B_4 & B_3 & B_2 & B_1 & + \\ \hline C_4 & F_4 & F_3 & F_2 & F_1 & \end{array}$$

در عبارت بالا،در صورتی که بیت نقلی آخر داشته باشیم، $C_4=1$ می گردد و در غیر این صورت $C_4=0$ می شود.

پرسش ها :

۱ـ مداری طراحی کنید که توسط آن، ۳ عدد ۴ بیتی A، B و C طبق سیگنال کنترلی S با هم جمع شوند و در صورتی که حاصل محاسبات از ۱۵ بیشتر گردد، *LED* به عنوان خروجی روشن شود (فرض بر این است که حاصل محاسبات از عدد ۳۲ کمتر می شود).

تذکر : طراحی مذکور توسط IC، *7483* انجام پذیرد.

$$\begin{cases} S=1 & \rightarrow \quad A+B+C \\ S=0 & \rightarrow \quad A+B+C+1 \end{cases}$$

آزمایشگاه معماری کامپیوتر

آزمایش شماره ۲

پیاده سازی یک طبقه از واحد *ALU* و واحد کنترل در یک کامپیوتر دیجیتال

مقدمه آزمایش

عملیاتی که بر روی داده های ذخیره شده در یک ثبات انجام می گیرد را ریز عملیات (*Micro-operation*) می نامند. به عبارت دیگر، عملیات ساده (ریاضی، منطقی و ...) بر روی داده های ذخیره شده در یک یا چند ثبات را ریزعملیات می نامند؛ نتیجه نهایی محاسبات ممکن است جایگزین اطلاعات قبلی درون ثبات شود و یا اینکه به یک ثبات جدید انتقال یابد. معمولاً در کامپیوترهای دیجیتالی، ریزعمل ها به چهار دسته اصلی تقسیم بندی می شوند، که عبارتند از :

۱ـ ریز عملیات انتقال ثبات (*Register Transfer Micro-operation*)

در این عملیات، اطلاعات باینری از یک ثبات به ثبات دیگر انتقال می یابد، بدون اینکه تغییری در مقدار آنها حاصل شود.

۲ـ ریزعملیات حسابی (*Arithmetic Micro-operation*)

در این عملیات، محاسبات ریاضی بر روی داده های عددی ذخیره شده در درون ثبات ها انجام می گیرد. معمولاً ریزعملیات حسابی پایه عبارتند از : جمع، تفریق، یکی اضافه کردن، یکی کم کردن.

۳ـ ریزعملیات منطقی (*Logic Micro-operation*)

در این عملیات، یک سری عملیات منطقی بر روی بیت ها انجام می پذیرد. این ریزعملیات در واحدی به نام واحد منطقی انجام می گیرد. این واحد برای تغییر یک سری بیت ها در یک کلمه یا حذف یک گروه از بیت ها یا وارد نمودن بیت های جدید کاربرد دارد.

۴ـ ریزعملیات شیفت (*Shift Micro-operation*)

عملیات مختلف انتقال در واحدی به نام واحد شیفت صورت می پذیرد. در این واحد انتقال اطلاعات به صورت سری یا موازی در ثبات ها انجام می گیرد. در حال کلی، سه گونه مختلف شیفت داریم :

الف) شیفت منطقی (*Logical Shift*) : در این نوع شیفت، مقدار صفر از ورودی سری وارد ثبات می گردد و بیت های دیگر، یک خانه به سمت چپ یا به سمت راست شیفت می یابند.

ب) شیفت چرخشی (*Circular Shift*) : در این نوع شیفت، بیت ها به صورت چرخشی درون ثبات حرکت می کنند، بدون اینکه اطلاعات از بین بروند.

ج) شیفت حسابی (*Arithmetic Shift*) : در این نوع شیفت، بیت با بالاترین ارزش که به عنوان بیت علامت می باشد، بدون تغییر باقی می ماند و بقیه بیت ها به سمت یا راست شیفت پیدا می کنند.

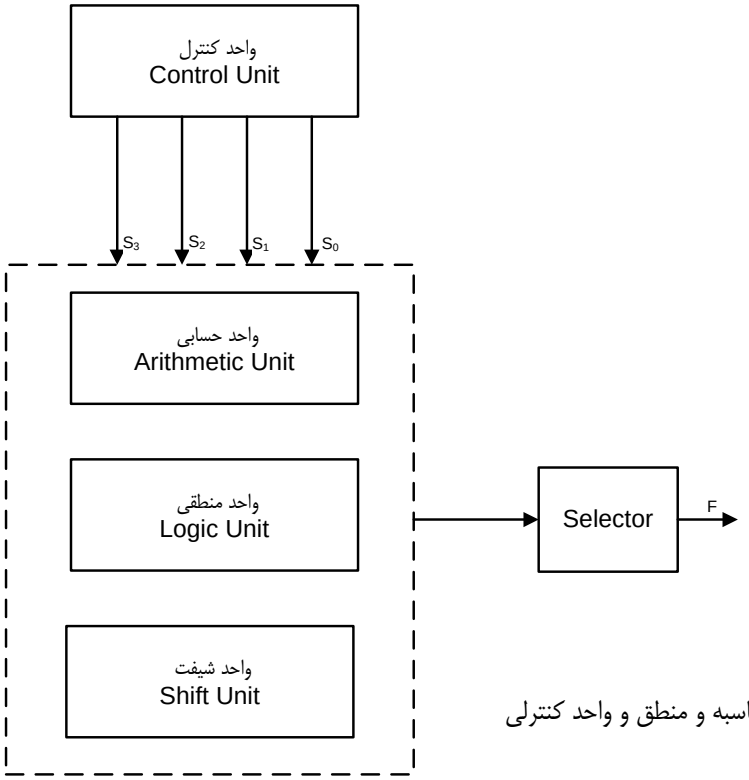
در این آزمایش، سعی بر این است که با اعمال سیگنال های کنترلی لازم، ریزعملیات مختلف را در کامپیوتر پیاده سازی کنیم. همانگونه که از شمای زیر مشخص است، یک واحد اصلی وجود دارد که عملیات مختلف در درون آن انجام می پذیرد. در اینجا سه واحد ریاضی (حسابی)، منطقی و شیفت را مورد بررسی قرار می دهیم :

ـ در واحد ریاضی، عملیات جمع و یا انتقال یک بیت به خروجی انجام می پذیرد.

ـ در واحد منطقی، دو عمل *AND* و *OR* انجام می پذیرد.

ـ در واحد شیفت، دو عمل شیفت به راست یا شیفت به چپ انجام می شود.

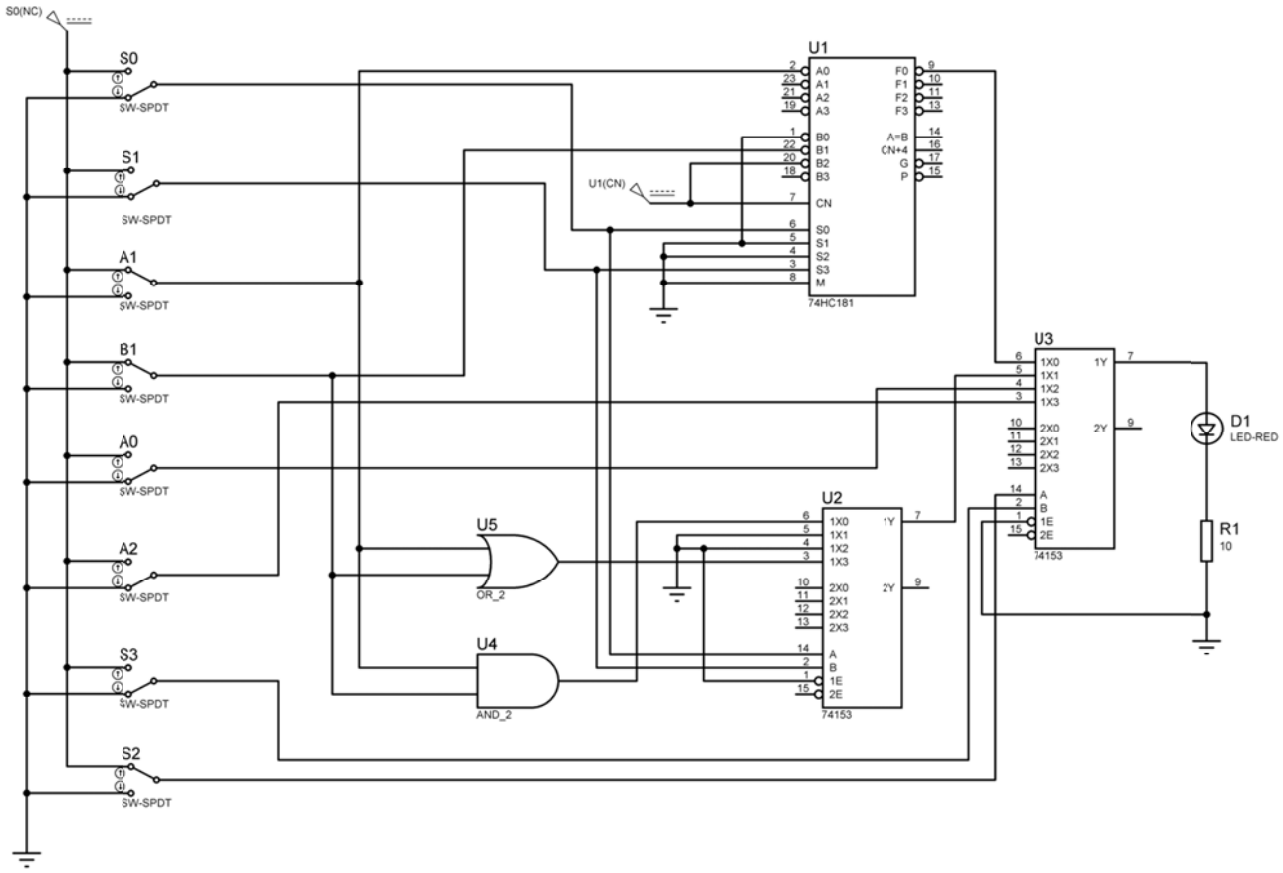
و در انجام هر عملیات و انتقال آن به خروجی، از سیگنال های کنترلی S_i کمک می گیریم.



شکل ۱ : شمای واحد محاسبه و منطق و واحد کنترلی

شرح آزمایش

۱ ـ ابتدا مدار شکل ۲ را ببندید.



شکل ۲ : شمای مداری واحد محاسبه و منطق و واحد کنترلی

۲ـ در این آزمایش، فرض بر این است که دو ثبات A و B وجود دارد که هر کدام سه بیتی می باشند.

A_0	A_1	A_2

ثبات A

B_0	B_1	B_2

ثبات B

شکل ۳ : ثبات های A و B

با اعمال سیگنال های کنترلی S_0-S_3 عملیاتی که باید انجام و به خروجی منتقل شود، مشخص می گردد. عملیات مورد نظر، ریاضی، منطقی و شیفت می باشد که بر روی دو بیت A_1 و B_1 انجام می گیرد. جدول زیر مشخص می کند که نتیجه خروجی مدار به ازای سیگنال های کنترلی مختلف، چگونه می باشد.

جدول ۱ : حالات مختلف برای آزمایش

S_0	S_1	S_2	S_3	نوع عملیات	خروجی مورد انتظار	خروجی واقعی (F)
0	*0*	*0*	*0*	ریاضی و انتقال بیت	A_1	
0	*0*	*1*	*0*	منطقی	A_1 *AND* B_1	
×	×	*1*	*1*	شیفت چپ	A_2	
×	×	*0*	*1*	شیفت راست	A_0	
1	*1*	*0*	*0*	ریاضی و جمع	A_1 *plus* B_1	
1	*1*	*1*	*0*	منطقی	A_1 *OR* B_1	

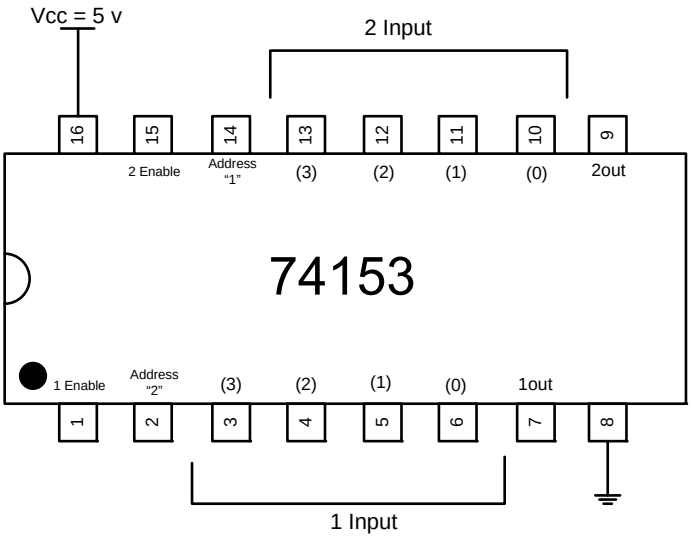
حال فرض کنید که اعداد درون ثبات های A و B به صورت زیر می باشند :

شکل ۴ : اعداد درون ثبات ها

سپس به ازای هر یک از حالات جدول بالا و با اعمال سیگنال های کنترلی لازم خروجی را مشاهد و یادداشت کنید.

نکاتی درباره *IC*، ۷۴۱۵۳ :

ـ پایه های ورودی و خروجی *IC*، *74153* :



شکل ۶ : پایه های ورودی ـ خروجی *IC*

ـ این *IC*، یک مالتی پلکسر ۴ ورودی می باشد. در واقع در درون این *IC*، ۲ عدد مالتی پلکسر ۴ ورودی وجود دارد که دارای خط آدرس مشترک می باشند. در واقع با انتخاب خط آدرس مورد نظر، این *IC* از بین ۴ ورودی خود یکی را انتخاب می کند و در خروجی نمایش می دهد.

ـ خطوط آدرس، پایه های ۲ و ۱۴ می باشند که پایه ۱۴ خط آدرس با کمترین ارزش و پایه ۲ با بیشترین ارزش می باشد. در صورتی که برای مثال، هر دو پایه صفر گردند، ورودی پایه ۶ به خروجی وصل می گردد.

ـ برای کارکرد صحیح *IC* بالا باید پایه های *Enable* به زمین وصل شوند. در صورتیکه پایه *Enable* به *Vcc* وصل گردد، خروجی مستقل از ورودی و همواره در منطق صفر خواهد بود.

پرسش ها :

۱ـ عدد ۸ بیتی *11011001* در ثبات *A* ذخیره شده است. عدد *B* و ریزعملیات منطقی لازم را به گونه ای بیابید که عدد *A* به مقادیر زیر تغییر کند :

الف) *01101101*

ب) *11111101*

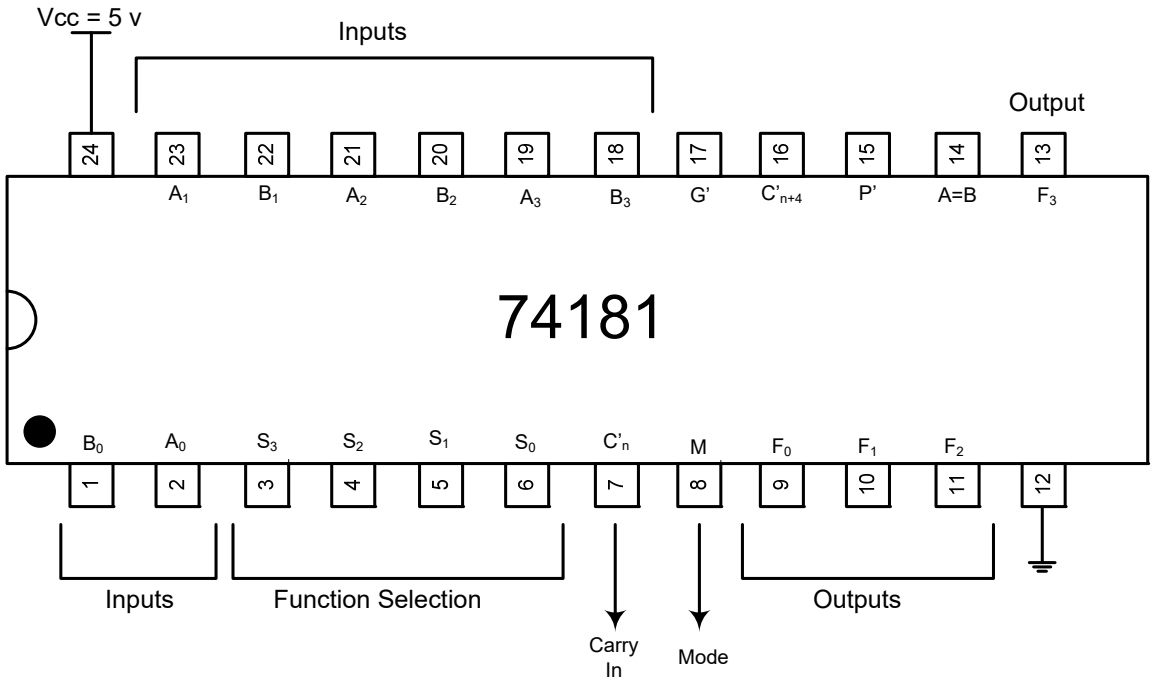
آزمایشگاه معماری کامپیوتر

آزمایش شماره ۳

آشنایی بیشتر با IC، ۷۴۱۸۱

مقدمه آزمایش

برای واحد ALU از یک IC به نام ۷۴۱۸۱ استفاده می شود که هم عملیات منطقی و هم عملیات ریاضی را انجام می دهد. نوع این عملیات، توسط یک پایه در این IC به نام M ($Mode$) مشخص می گردد. در این IC شانزده عمل ریاضی و شانزده عمل منطقی بر روی دو داده ۴ بیتی انجام می شود. همچنین این IC، امکان مقایسه اندازه دو ورودی را نیز دارد. پایه های ورودی و خروجی IC، ۷۴۱۸۱ در شکل ۱ نشان داده شده است.



شکل ۱ : شماره پایه های IC، ۷۴۱۸۱

با توجه به شکل ۱ پایه های A و B به عنوان ورودی F به منزله خروجی می باشد.

$$A = \underset{\downarrow}{A_3}\ A_2\ A_1\ \underset{\downarrow}{A_0} \qquad B = \underset{\downarrow}{B_3}\ B_2\ B_1\ \underset{\downarrow}{B_0}$$

$$MSB \qquad LSB \qquad MSB \qquad LSB$$

$$F = \underset{\downarrow}{F_3}\ F_2\ F_1\ \underset{\downarrow}{F_0}$$

$$MSB \qquad LSB$$

در این IC، باز بودن ورودی به منزله منطق یک می باشد. در صورتی که نتیجه محاسبات ریاضی دارای بیت نقلی آخر باشد، پایه $\overline{C}_{n+4}$ صفر می گردد. جدول ۱ نحوه عملکرد و جدول درستی این IC را نشان می دهد.

جدول ۱ : نحوه عملکرد و جدول درستی IC ۷۴۱۸۱

FUNCTION TABLES

MODE SELECT INPUTS				ACTIVE HIGH INPUTS AND OUTPUTS	
S_3	S_2	S_1	S_0	LOGIC (M=H)	ARITHMETIC(2) (M=L; C_n=H)
L	L	L	L	$\overline{A}$	A
L	L	L	H	$\overline{A + B}$	A + B
L	L	H	L	$\overline{A}B$	$A + \overline{B}$
L	L	H	H	logical 0	minus 1
L	H	L	L	$\overline{AB}$	A plus $A\overline{B}$
L	H	L	H	$\overline{B}$	(A + B) plus $A\overline{B}$
L	H	H	L	$A \oplus B$	A minus B minus 1
L	H	H	H	$A\overline{B}$	$A\overline{B}$ minus 1
H	L	L	L	$\overline{A} + B$	A plus AB
H	L	L	H	$\overline{A \oplus B}$	A plus B
H	L	H	L	B	$(A + \overline{B})$ plus AB
H	L	H	H	AB	AB minus 1
H	H	L	L	logical 1	A plus A(1)
H	H	L	H	$A + \overline{B}$	$(A + \overline{B})$ plus A
H	H	H	L	A + B	$(A + \overline{B})$ plus A
H	H	H	H	A	A minus 1

Notes to the function tables

1. Each bit is shifted to the next more significant position.
2. Arithmetic operations expressed in 2s complement notation.

H = HIGH voltage level
L = LOW voltage level

MODE SELECT INPUTS				ACTIVE LOW INPUTS AND OUTPUTS	
S_3	S_2	S_1	S_0	LOGIC (M=H)	ARITHMETIC(2) (M=L; C_n=L)
L	L	L	L	$\overline{A}$	A minus 1
L	L	L	H	$\overline{AB}$	AB minus 1
L	L	H	L	$\overline{A} + B$	$A\overline{B}$ minus 1
L	L	H	H	logical 1	minus 1
L	H	L	L	$\overline{A + B}$	A plus $(A + \overline{B})$
L	H	L	H	$\overline{B}$	AB plus $(A + \overline{B})$
L	H	H	L	$\overline{A \oplus B}$	A minus B minus 1
L	H	H	H	$A + \overline{B}$	$A + \overline{B}$
H	L	L	L	$\overline{A}B$	A plus (A + B)
H	L	L	H	$A \oplus B$	A plus B
H	L	H	L	B	$A\overline{B}$ plus (A + B)
H	L	H	H	A + B	A + B
H	H	L	L	logical 0	A plus A(1)
H	H	L	H	$A\overline{B}$	AB plus A
H	H	H	L	AB	$A\overline{B}$ plus A
H	H	H	H	A	A

Notes to the function tables

1. Each bit is shifted to the next more significant position.
2. Arithmetic operations expressed in 2s complement notation.

H = HIGH voltage level
L = LOW voltage level

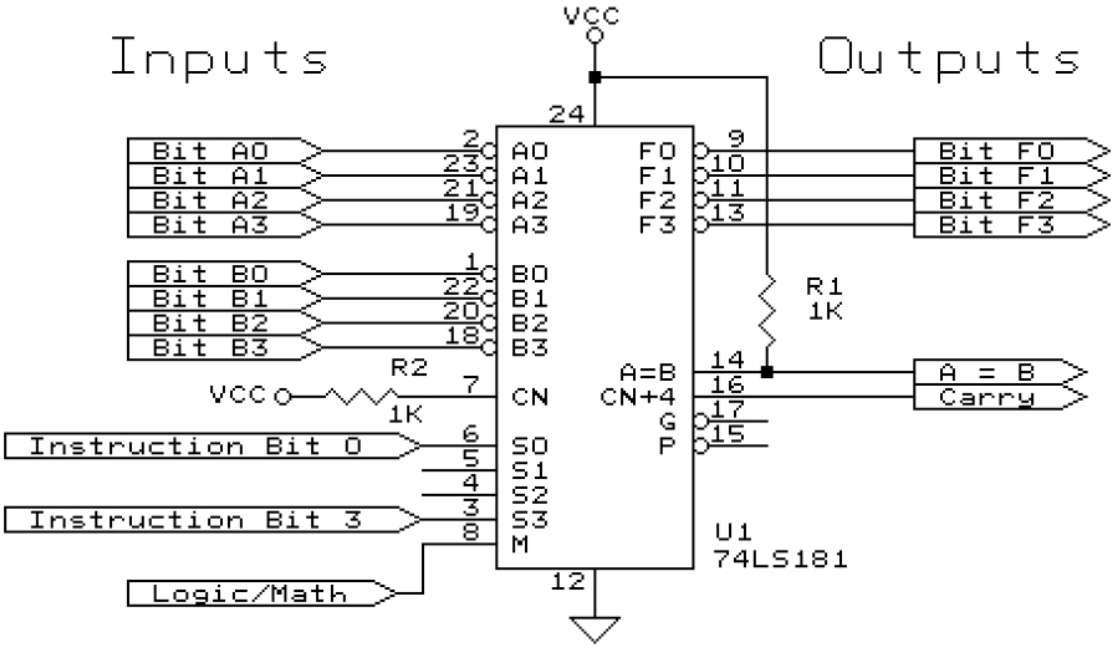
لازم به ذکر است که در عملیات تفریق (A-B)، عدد A با مکمل ۲ عدد B جمع می گردد، به عنوان مثال، فرض کنید که $A=1110$ و $B=1101$ باشند، آنگاه :

$$A-B = \begin{array}{r} 1\ 1\ 1\ 0 \\ +\ \underline{0\ 0\ 1\ 1} \\ 1\ 0\ 0\ 0\ 1 \end{array}$$

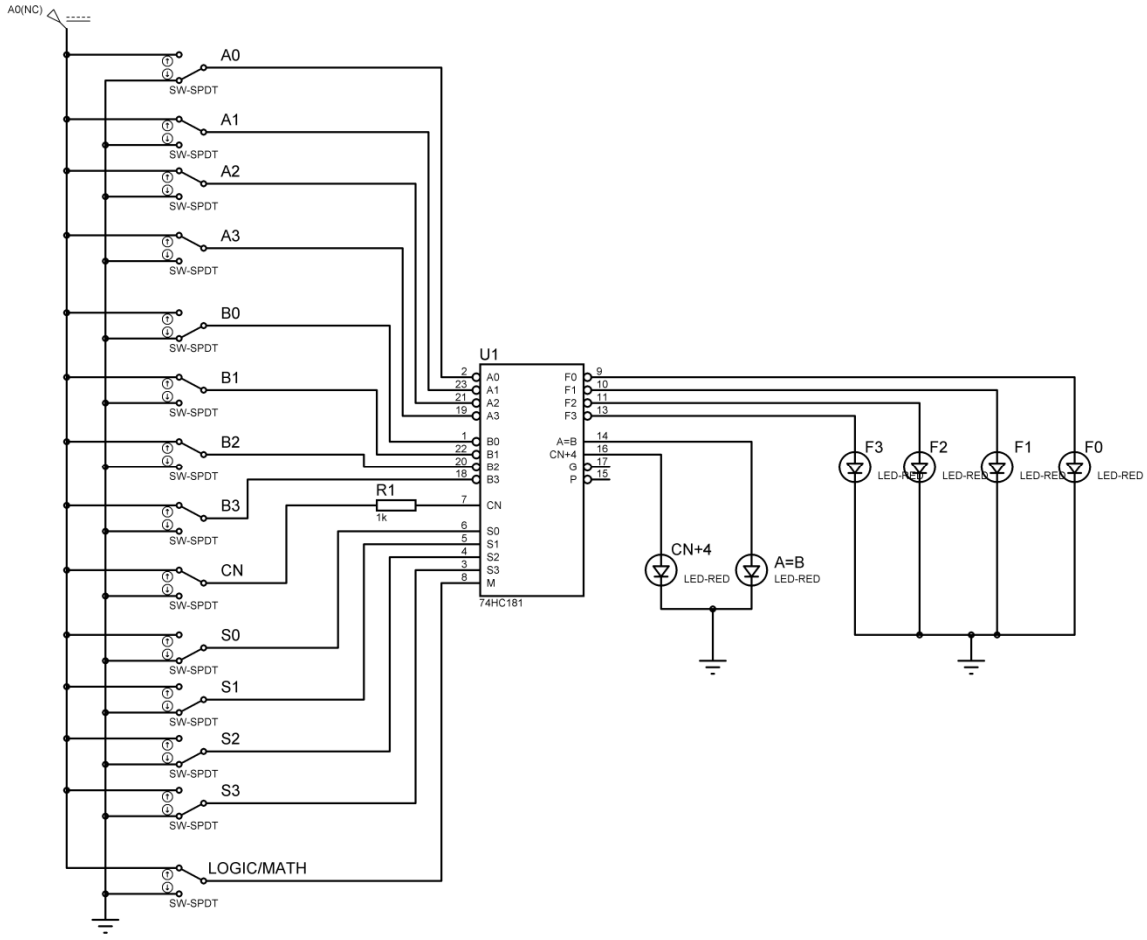
در مثال بالا دیده می شود که حاصل جمع نهایی، یک بیت نقلی تولید کرده است که در این حالت در پایه خروجی $\overline{C}_{n+4}=0$ می گردد. همچنین عدد ۱ـ به صورت مکمل ۲ یعنی به صورت ۲(۱۱۱۱) نمایش داده می شود.

شرح آزمایش

۱ ـ ابتدا مدار شکل ۲ را ببندید (برای درک بهتر، شمای مداری شکل ۲ در شکل ۳ نیز آورده شده است).



شکل ۲ : IC واحد ALU (IC، ۷۴۱۸۱)



شکل ۳ : شمای مداری آزمایش برای واحد محاسبه و منطق

۲ ـ پایه M (پایه شماره ۸) را در وضعیت یک منطقی ($High$) قرار دهید. به این ترتیب، انتظار داریم که عملیات منطقی انجام شود. ورودی A را به صورت ۲(۰۱۰۱) و ورودی B را به صورت ۲(۰۰۱۱) قرار دهید. سوییچ های S را در وضعیت های مختلف، همانند آنچه در جدول ۲ آورده شده است، قرار دهید. سپس با توجه به نتایج مشاهده شده، جدول ۲ را کامل نمایید. آیا نتایج به دست آمده با جدول ۱ مطابقت دارند ؟

جدول ۲ : عملکرد IC ۷۴۱۸۱ در حالت انجام عملیات منطقی

Instruction Select				خروجی به ازای $A=0101$ و $B=0011$ درحالتی که $M=1$ (حالت انجام عملیات منطقی) است			
S_3	S_2	S_1	S_0	F_3	F_2	F_1	F_0
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

۳ ـ پایه M (پایه شماره ۸) را در وضعیت صفر قرار دهید. به این ترتیب، انتظار داریم که عملیات ریاضی انجام شود. ورودی A را به صورت ۲(۰۱۰۱) و ورودی B را به صورت ۲(۰۰۱۱) قرار دهید. سوییچ $\overline{C}_n$ را در وضعیت بالا (*high* یا همان ۱ منطقی) قرار دهید. سوییچ های S را در وضعیت های مختلف، همانند آنچه در جدول ۳ آورده شده است، قرار دهید. سپس با توجه به نتایج مشاهده شده، جدول ۳ را کامل نمایید. آیا نتایج به دست آمده با جدول ۱ مطابقت دارند ؟

جدول ۳ : عملکرد IC ۷۴۱۸۱ در حالت انجام عملیات ریاضی

خروجی به ازای $A=0101$ و $B=0011$ درحالتی که $M=0$ (حالت انجام محاسبات ریاضی) و $\overline{C}_n = 1$ است				***Instruction Select***				
F_0	F_1	F_2	F_3	$\overline{C}_{n+4}$	S_0	S_1	S_2	S_3
					0	0	0	0
					1	0	0	0
					0	1	0	0
					1	1	0	0
					0	0	1	0
					1	0	1	0
					0	1	1	0
					1	1	1	0
					0	0	0	1
					1	0	0	1
					0	1	0	1
					1	1	0	1
					0	0	1	1
					1	0	1	1
					0	1	1	1
					1	1	1	1

پرسش ها :

۱ـ چگونه می توان با استفاده از بیت های حالت و عمل تفریق توسط ALU (IC، ۷۴۱۸۱) دو عدد بدون علامت A و B را از نظر بزرگی با یکدیگر مقایسه کرد ؟

* **راهنمایی :** به *datasheet* این IC مراجعه کنید.

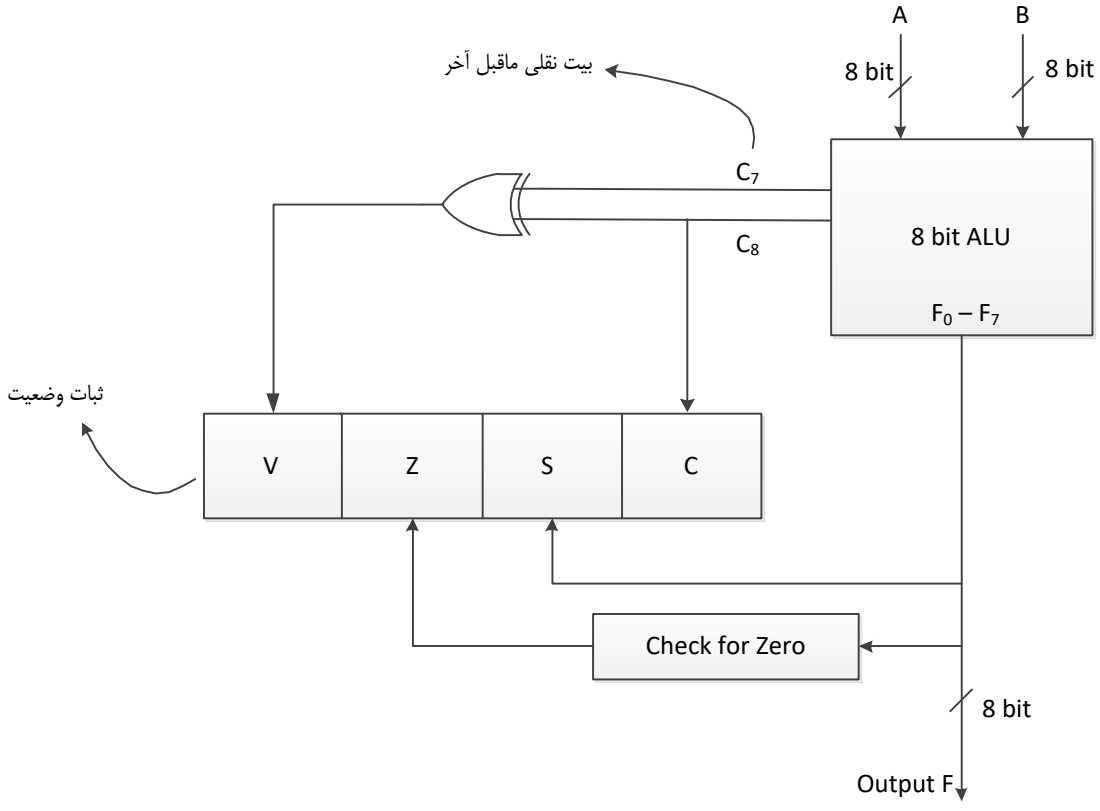
آزمایشگاه معماری کامپیوتر

آزمایش شماره ۴

بررسی عملکرد ثبات پرچم (*Flag Register*) و آشنایی بیشتر با واحد *ALU* ۴ بیتی (*IC* ۷۴۱۸۱)

مقدمه آزمایش

گاهی اوقات مناسب‌تر است تا مدار *ALU* در *CPU* را با یک ثبات وضعیت همراه کرد تا حالات بیت‌های وضعیت برای تحلیل بعدی در آن ذخیره شود. بیت‌های وضعیت گاهی اوقات بیت‌های کد شرایط (*Condition Code Bit*) یا بیت‌های پرچم (*Flag Bit*) نیز خوانده می‌شوند. بنابراین ثبات پرچم یا وضعیت، ثباتی است که برای ذخیره‌سازی بیت‌های وضعیت استفاده می‌شود. این بیت‌ها یک سری اطلاعات اضافی را پس از انجام هر دستورالعمل در اختیار کاربر قرار می‌دهند. شکل ۱ دیاگرام یک *ALU* ۸ بیتی به همراه یک ثبات چهاربیتی وضعیت را نشان می‌دهد. این چهار بیت وضعیت با *C*، *S*، *Z* و *V* نشان داده شده‌اند. این بیت‌ها به عنوان نتیجه یک عمل انجام شده در *ALU* برابر با یک یا صفر می‌شوند.



شکل ۱ : بیت‌های ثبات وضعیت

۱ ـ بیت نقلی یا *Carry Bit* (*C*) : پس از انجام محاسبات ریاضی، در صورتی که آخرین بیت نقلی وجود داشته باشد، حاصل این بیت در ثبات وضعیت یک می‌گردد.

۲ ـ بیت علامت یا *Sign Bit* (*S*) : در صورتی که محاسبات بر روی اعدا علامت‌دار انجام پذیرد و بیت با بالاترین ارزش برابر یک شود، این بیت نیز یک می‌گردد.

۳ ـ بیت صفر یا *Zero Bit* (*Z*) : اگر پس از انجام محاسبات ریاضی، نتیجه نهایی محاسبه صفر گردد این بیت یک می شود و در غیر این صورت صفر می‌گردد. به بیان دیگر، *Z=1* است اگر خروجی صفر و *Z=0* اگر خروجی غیر صفر باشد.

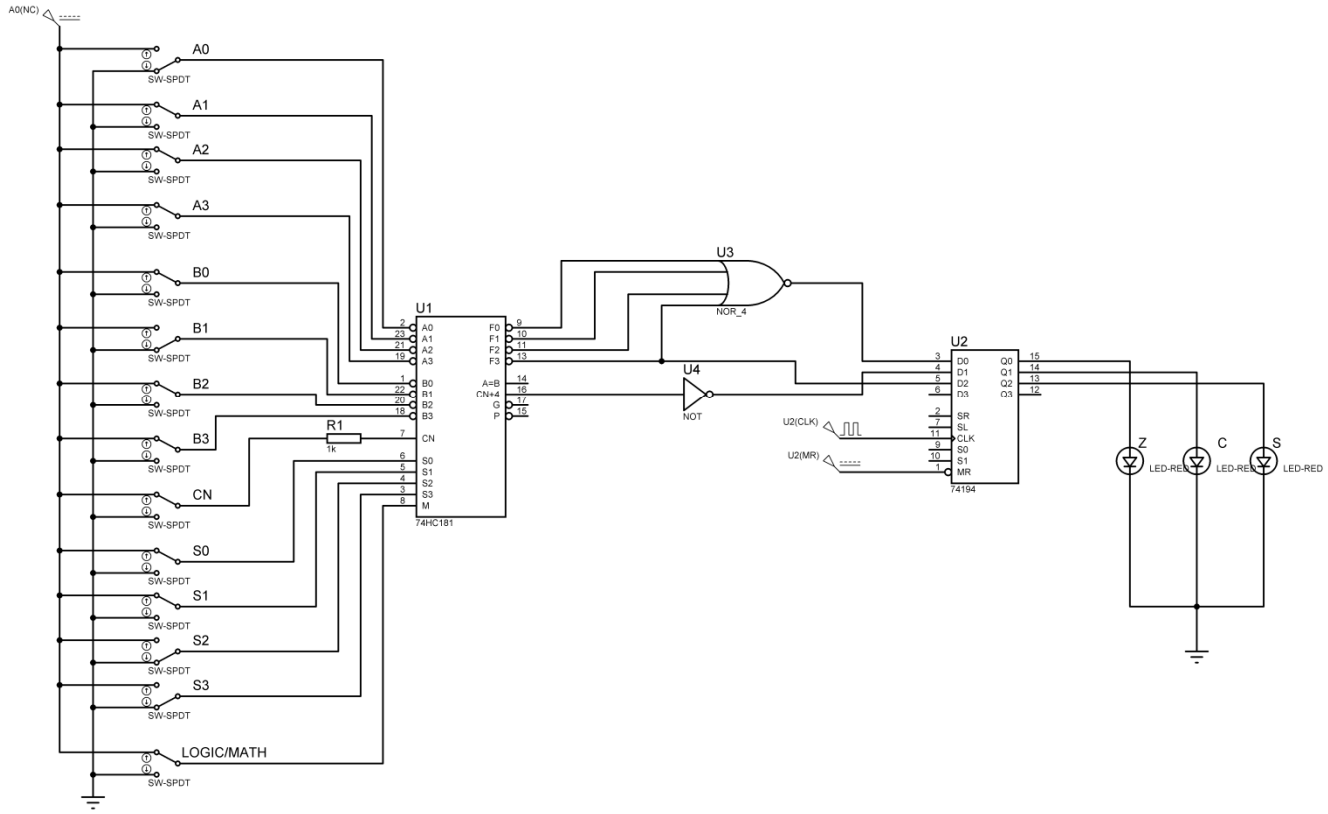
۴ ـ بیت سرریز یا *Overflow Bit* (*V*) : در صورتی که نتیجه محاسبات سرریز شود این بیت یک می گردد و این امر زمانی رخ می دهد که حاصل *XOR* دو بیت نقلی آخر محاسبات یک شود. البته به شرطی که خروجی *ALU* هشت بیتی، بزرگتر از ۱۲۷ یا کوچکتر از ۱۲۸ گردد (در سیستم اعداد مکمل ۲)، بیت سرریز *V* برابر ۱ می شود.

بیت های وضعیت، پس از هر عمل در *ALU* می تواند چک شوند تا رابطه موجود بین مقادیر *A* و *B* معین گردد. اگر *V* پس از جمع دو عدد علامت‌دار برابر ۱ شود، یک سرریز رخ داده است. اگر *Z* پس از یک عمل *XOR* برابر ۱ شد یعنی *A=B* است. این امر به دلیل وجود رابطه $x \oplus x = 0$ است که بیان می دارد *XOR* دو عدد مساوی، برابر با صفر بوده و این نیز *Z=1* را سبب می گردد. هر بیت در *A* نیز می‌تواند به وسیله پوشش‌دادن (*Mask*) سایر بیت‌ها چک شود و سپس بیت وضعیت *Z* ملاحظه گردد. مثلاً فرض کنید *A=101x1100* باشد که در آن *x* بیت مورد آزمایش است. با *AND* کردن عدد *A* با عدد *B=00010000* نتیجه *000x0000* به دست می آید که اگر *x=0* باشد یعنی کل نتیجه صفر است و بیت وضعیت *Z=1* می‌گردد، ولی اگر *x=1* باشد، چون کل نتیجه صفر نیست *Z=0* خواهد شد؛ به این ترتیب می‌توان وضعیت یک بیت را تشخیص داد.

در این آزمایش، مدار شکل ۱ را با *IC* های موجود پیاده‌سازی کرده و سپس با استفاده از یک سری عملیات ریاضی و منطقی نتیجه یک یا صفر شدن بیت‌های وضعیت مورد بررسی قرار داده می شود.

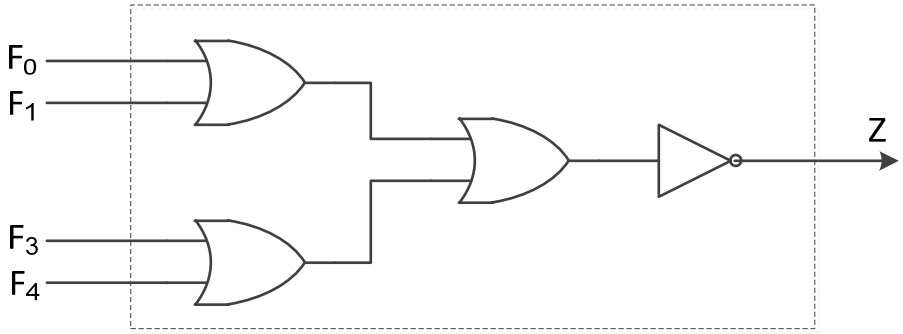
شرح آزمایش

۱ ـ ابتدا مدار شکل ۲ را ببندید.



شکل ۲ : مدار آزمایش برای بررسی بیت‌های وضعیت

تذکر ۱ : به جای *NOR* چهار ورودی می توان از مدار معادل آن که در شکل ۳ نشان داده شده است، استفاده کرد.



شکل ۳ : مدار معادل *NOR* چهار ورودی

۲ ـ سپس به ورودی پالس ساعت مدار، یک موج مربعی با فرکانس KHz ۱ اعمال کنید

۳ ـ به ازای مقادیر ورودی $A=A_3A_2A_1A_0 = 1110$ و $B=B_3B_2B_1B_0 = 1101$ و برای تمامی حالات جدول ۱، خروجی های IC ، ۷۴۱۹۴ را مشاهده و در جدول ۱ یادداشت کنید.

تذکر ۲ : سیگنالهای کنترلی، $S0$-$S3$ و M و $\overline{C_n}$ هستند.

تذکر ۳ : آزاد بودن پایه ورودی در IC، ۷۴۱۸۱ معادل منطق یک می باشد.

جدول ۱ : خروجی‌های مدار

پایه‌های کنترلی				عملیات ریاضی	عملیات منطقی	*Outputs*							
S_3	S_2	S_1	S_0	$M=L\ ;\ \overline{C_n}=H$	$M=H$	Z	C	S	$\bar{C}_{n+4}$	F_0	F_1	F_2	F_3
H	L	L	H	*A Plus B*	$\overline{A \oplus B}$								
L	L	H	H	*Minus 1 (2's Comp.)*	0								
L	H	H	L	*A Minus B Minus 1*	$A \oplus B$								
H	H	H	H	*A Minus 1*	A								

۴ ـ به ازای مقادیر ورودی $A=A_3A_2A_1A_0 = 0111$ و $B=B_3B_2B_1B_0 = 0101$ و برای تمامی حالات جدول ۲، خروجی های IC ، ۷۴۱۹۴ را مشاهده و در جدول ۲ یادداشت کنید.

جدول ۲ : خروجی‌های مدار

پایه‌های کنترلی				*Inputs*		*Outputs*							
S_3	S_2	S_1	S_0	M	$\overline{C_n}$	Z	C	S	$\bar{C}_{n+4}$	F_0	F_1	F_2	F_3
H	L	L	H	L	L								
L	L	H	H	L	L								
L	L	L	H	L	h								
L	L	L	H	L	L								

ـ نکاتی در باره *IC*، ۷۴۱۹۴

این *IC* یک شیفت رجیستر می باشد که دارای چهار مد عملکرد متفاوت بوده که عبارتند از :

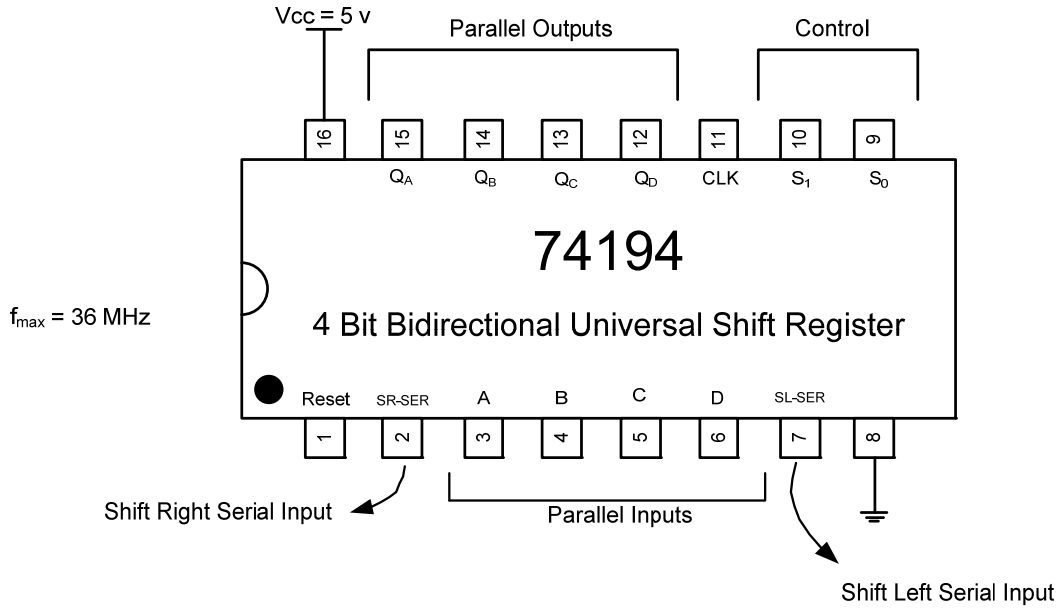
۱ ـ *Inhibit Clock (Do Nothing)*

۲ ـ شیفت به راست (*Right Shift*) : انتقال به سمت راست در جهت Q_A به سمت Q_D

۳ ـ شیفت به چپ (*Left Shift*) : انتقال به سمت چپ در جهت Q_D به سمت Q_A

۴ ـ *Synchronous Parallel Load*

ـ این *IC* با لبه مثبت پالس ساعت ورودی کار می کند.



شکل ۵ : شماره پایه های *IC*، ۷۴۱۹۴

ـ جدول ۳ عملکرد این *IC* را در حالت‌های مختلف نشان می‌دهد.

جدول ۳ : عملکرد *IC*، ۷۴۱۹۴ در حالت های مختلف

INPUTS										*OUTPUTS*			
	Mode			*Serial*		*Parallel*							
Reset	S_0	S_1	*Clock*	*Left*	*Right*	*A*	*B*	*C*	*D*	Q_A	Q_B	Q_C	Q_D
L	×	×	×	×	×	×	×	×	×	*L*	*L*	*L*	*L*
H	×	×	*L*	×	×	×	×	×	×	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	*H*	*H*	↑	×	×	*a*	*b*	*c*	*d*	*a*	*b*	*c*	*d*
H	*L*	*H*	↑	×	*H*	×	×	×	×	*H*	Q_{An}	Q_{Bn}	Q_{Cn}
H	*L*	*H*	↑	×	*L*	×	×	×	×	*L*	Q_{An}	Q_{Bn}	Q_{Cn}
H	*H*	*L*	↑	*H*	×	×	×	×	×	Q_{Bn}	Q_{Cn}	Q_{Dn}	*H*
H	*H*	*L*	↑	*L*	×	×	×	×	×	Q_{Bn}	Q_{Cn}	Q_{Dn}	*L*
H	*L*	*L*	×	×	×	×	×	×	×	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

H = High Level (Steady state).

L = Low Level (Steady state).

× = Irrelevant (any input, including transitions).

↑ = Transition from low to high level.

a,d,c,d = The level of steady state input at inputs A, B, C, or D, respectively.

Q_{A0},Q_{B0},Q_{C0},Q_{D0} = The level of Q_A,Q_B,Q_C, or Q_D respectively, before the indicated steady state input conditions were established.

Q_{An},Q_{Bn},Q_{Cn},Q_{Dn} = The level of Q_A,Q_B,Q_C, or Q_D respectively, before the most recent ↑ transition of the clock.

پرسش ها :

۱ـ چگونه می‌توان با استفاده از بیت‌های وضعیت و عمل تفریق توسط *ALU*، دو عدد بدون علامت *A* و *B* را از نظر بزرگی با یکدیگر مقایسه کرد. در تفریق *A-B*، عدد *A* با مکمل ۲ عدد *B* جمع می گردد. (مدار آن را ترسیم کنید)

۲ ـ بدون استفاده از بیت‌های نقلی آخر و ماقبل آخر، روشی پیشنهاد کنید که توسط آن بتوان تشخیص داد که پس از انجام عملیات ریاضی در یک دستگاه اعداد علامت‌دار، سرریز رخ داده است.

آزمایشگاه معماری کامپیوتر

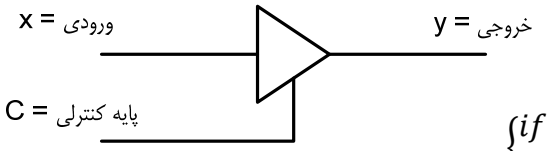
آزمایش شماره ۵

بررسی بافر گذرگاه داده

مقدمه آزمایش

معمولاً در تمام سیستم های کامپیوتری امروزی از یک گذرگاه داده (*Data Bus*) مشترک جهت انتقال اطلاعات استفاده می گردد. بنابراین قسمت های مختلف می توانند به این گذرگاه مشترک متصل شوند، ولی در آنِ واحد فقط یک واحد یا یک قسمت می تواند با گذرگاه در ارتباط باشد. بنابراین در چنین حالتی، قسمت های دیگر که به گذرگاه داده متصل می باشند باید در حالت مدار باز یا *High Impedance* قرار گیرند.

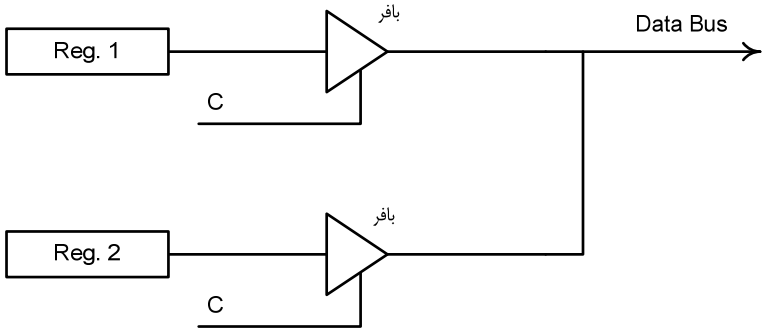
یکی از روش های ایجاد گذرگاه داده مشترک، استفاده از بافرهای سه حالته (*Tri-state*) می باشد که عملکردی به صورت زیر دارند :



$$\begin{cases} if \quad C = 1 & \rightarrow \quad y = x \\ if \quad C = 0 & \rightarrow \quad y = high\ Imp. \end{cases}$$

شکل ۱ : عملکرد بافر سه حالته

به عبارت دیگر، زمانی که پایه کنترلی C برابر با یک باشد، خروجی از ورودی تبعیت می کند (خروجی با ورودی برابر است) و در صورتی که پایه کنترلی برابر با صفر باشد، خروجی مدار باز است و مانند این است که اصلاً به جایی اتصال ندارد.

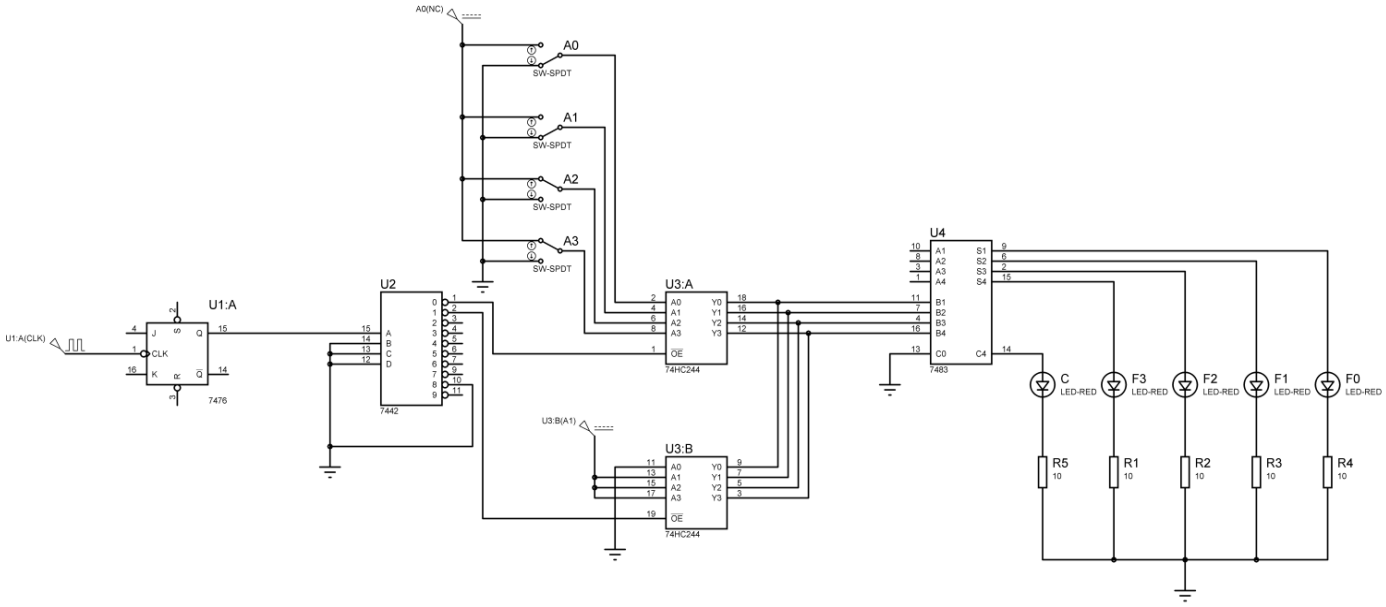


شکل ۲ : ایجاد گذرگاه داده مشترک به کمک بافر سه حالته

شرح آزمایش

ـ قسمت اول :

۱ ـ ابتدا مدار شکل ۳ را ببندید.



شکل ۳ : مدار قسمت اول آزمایش

۲ ـ سپس به ورودی پالس ساعت مدار، یک موج مربعی با فرکانس Hz ۱ اعمال کنید

۳ ـ به ورودی A اعداد $(۱۱۰۱)_۲$ = ۱۱ و $(۱۱۰۰)_۲$ = ۱۲ را بدهید و سپس وضعیت خروجی را مشاهده و یادداشت نمایید.

۴ ـ مدار شکل ۳ را به طور دقیق تجزیه و تحلیل نمایید و با نتایج عملی مقایسه کنید.

ـ قسمت دوم :

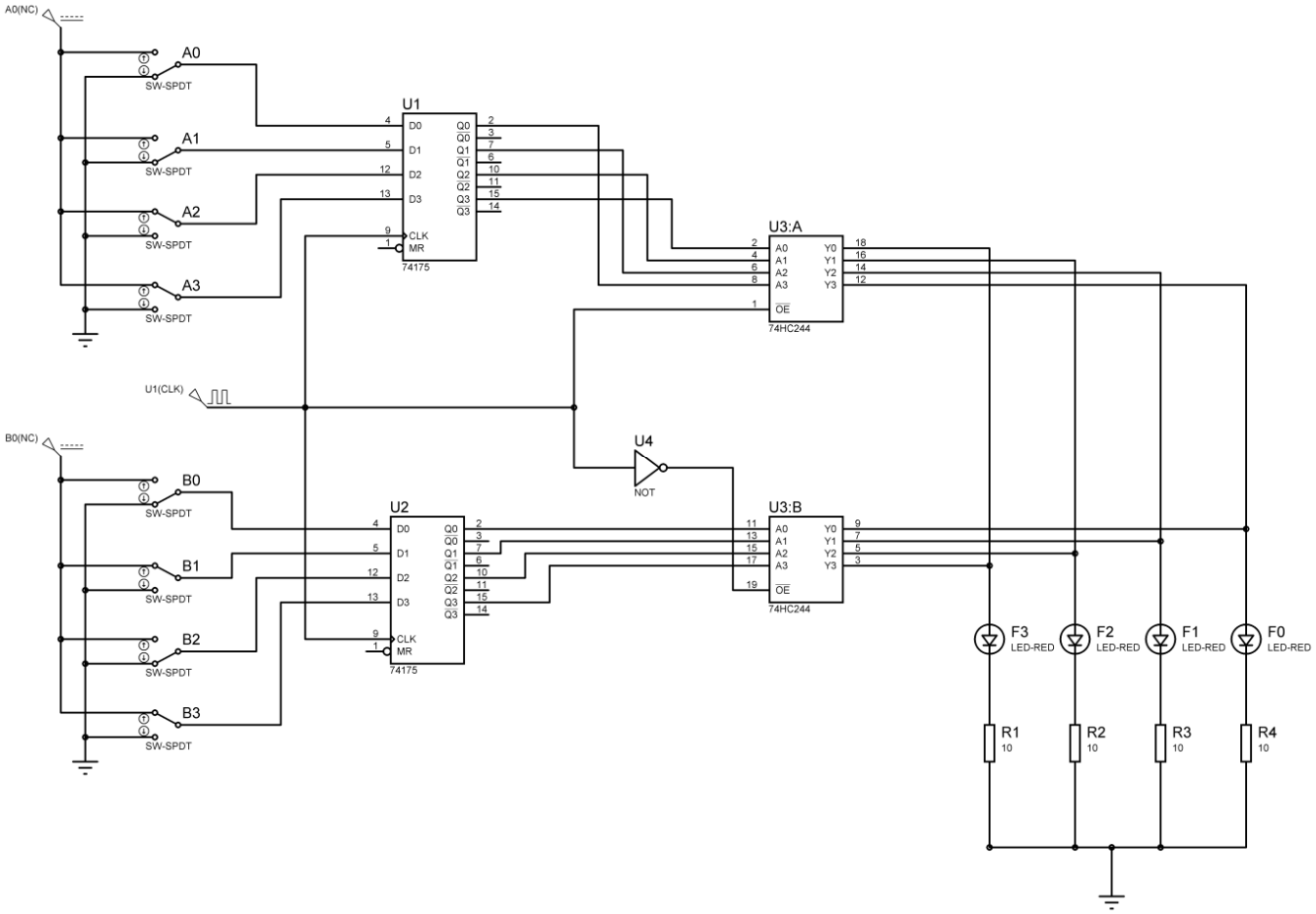
۱ ـ ابتدا مدار شکل ۴ را ببندید.

۲ ـ سپس به ورودی پالس ساعت مدار، یک موج مربعی با فرکانس Hz ۱ اعمال کنید

۳ ـ زمانی که پالس ساعت ورودی در منطق یک قرار دارد، ورودی ها را عوض کنید و سپس نتیجه را در خروجی مشاهده نمایید.

۴ ـ مدار شکل ۴ را به طور دقیق تجزیه و تحلیل نمایید و با نتایج عملی مقایسه کنید.

۵ ـ پایه $Clear$ (پایه شماره ۱) ثبات را صفر کنید و نتیجه را در خروجی مشاهده نمایید.



شکل ۴ : مدار قسمت دوم آزمایش

ـ نکاتی در باره *IC*، ۷۴۲۴۴

این *IC* از ۸ عدد بافر سه حالته تشکیل شده است. این بافرها در دو گروه ۴ تایی تقسیم شده اند :

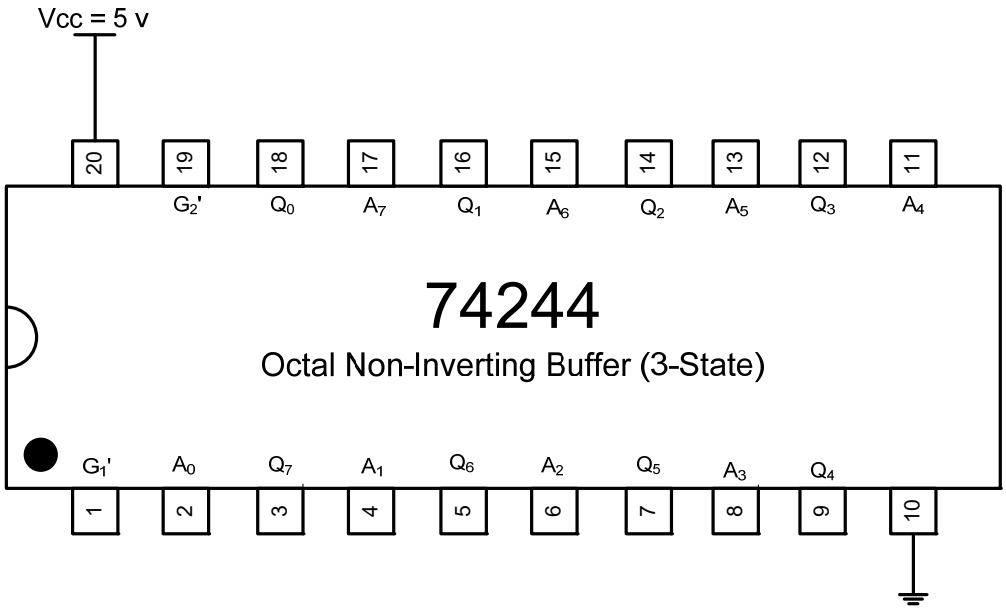
ـ **گروه اول :** این گروه توسط پایه کنترلی $\overline{G}_1$ کنترل می شوند. اگر پایه مذکور به زمین متصل گردد ورودی های A_0-A_3 به خروجی های Q_0-Q_3 وصل می گردند و در صورتی که این پایه به Vcc وصل گردد، خروجی ها در حالت مدار باز (*High Impedance*) قرار می گیرند.

ـ **گروه دوم :** این گروه توسط پایه کنترلی $\overline{G}_2$ کنترل می شوند. اگر پایه مذکور به زمین متصل گردد ورودی های A_4-A_7 به خروجی های Q_4-Q_7 وصل می گردند و در صورتی که این پایه به Vcc وصل گردد، خروجی ها در حالت مدار باز (*High Impedance*) قرار می گیرند. به عبارت دیگر :

$if\ \overline{G}_1 = 0$ $\quad 2 \rightarrow 18$, $4 \rightarrow 16$, $6 \rightarrow 14$, $8 \rightarrow 12$

$if\ \overline{G}_2 = 0$ $\quad 11 \rightarrow 9$, $13 \rightarrow 7$, $15 \rightarrow 5$, $17 \rightarrow 3$

شماره پایه های این IC در شکل ۵ نشان داده شده است.



شکل ۵ : شماره پایه های IC، ۷۴۲۴۴

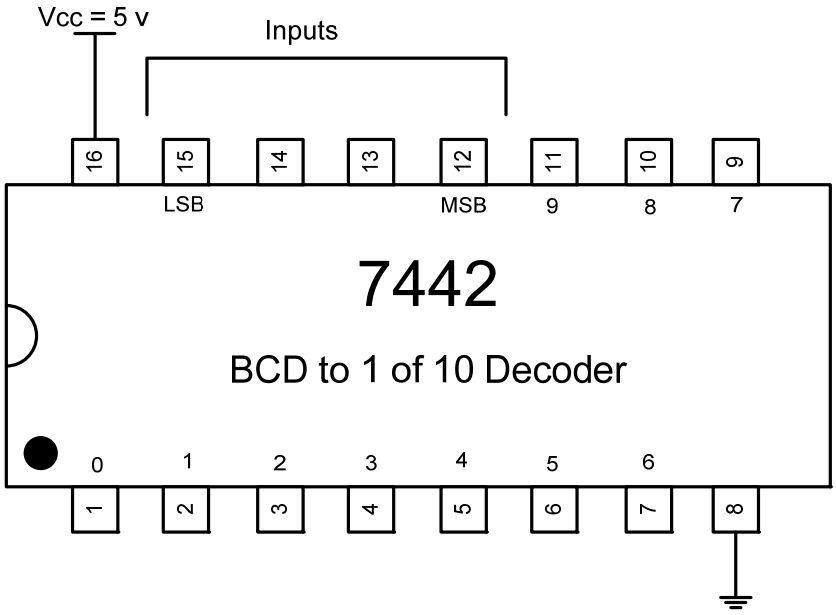
ـ نکاتی در باره IC، ۷۴۴۲

این IC، یک رمزگشای ($Decoder$) عدد BCD به معادل دهدهی آن می باشد. برای هر عد BCD معادل دهدهی آن در خروجی صفر می گردد و بقیه خروجی ها در منطق یک قرار می گیرند، به عنوان مثال :

۱ = بقیه پایه ها ؛ صفر = پایه شماره ۱ → ورودی = ۰۰۰۰

۱ = بقیه پایه ها ؛ صفر = پایه شماره ۹ → ورودی = ۰۱۱۱

شایان ذکر است که هر ورودی بالاتر از عدد ۹ باعث می شود که تمام خروجی ها در منطق یک واقع شوند.
همچنین برای کار در جریان های بالاتر، می توان از IC، ۷۴۴۵ نیز استفاده کرد.
شماره پایه های این IC در شکل ۶ نشان داده شده است.



شکل ۶ : شماره پایه های *IC*، ۷۴۴۲

ـ نکاتی در باره *IC*، ۷۴۱۷۵

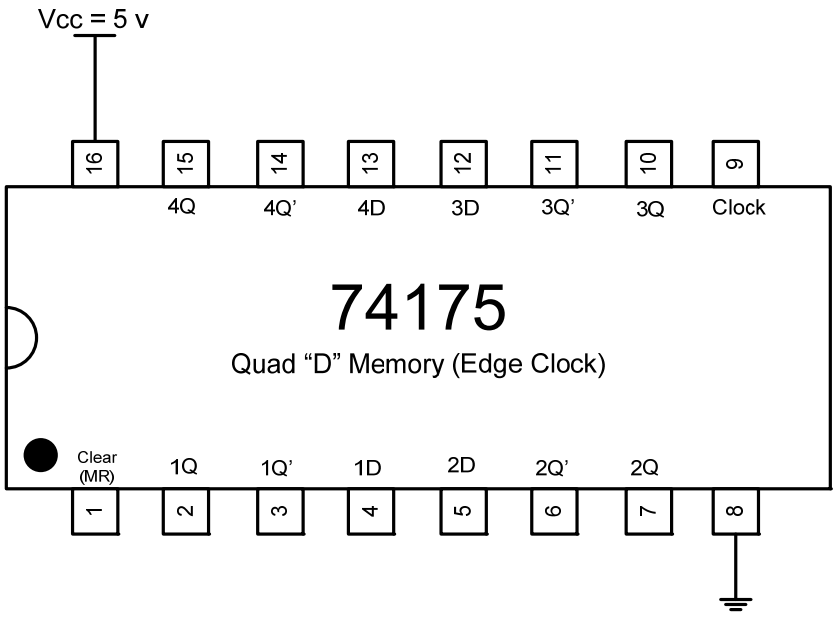
در این *IC*، چهار حافظه *latch* مجزا از هم وجود دارد که همگی با هم و با یک پالس ساعت (*Clock*) کار می کنند. شماره پایه های این *IC* در شکل ۷ نشان داده شده است. ورودی های این *IC* پایه های ۴، ۵، ۱۲ و ۱۳ می باشند و خروجی ها نیز به صورت عادی و نیز مکمل شده در دسترس می باشند. به این صورت که با توجه به شکل ۷ ارتباط بین ورودی ها و خروجی ها به صورت زیر است :

1D → *1Q*
2D → *2Q*
3D → *3Q*
4D → *4Q*

ـ این *IC* با لبه مثبت *clock* ورودی کار می کند و با آمدن لبه مثبت سیگنال ساعت، ورودی ها به خروجی های متناظر انتقال می یابند.

ـ پایه *Clear* (پایه شماره ۱) در حالت عادی باید آزاد باشد و در صورتی که این پایه به زمین وصل گردد تمام خروجی ها صفر می گردند.

ـ نوع دیگری از این *IC* با نام ۷۴۱۷۴ نیز وجود دارد که دارای شش ورودی و خروجی می باشد.



شکل ۷ : شماره پایه های IC، ۷۴۱۷۵

پرسش ها :

۱ـ فرض کنید که یک گذرگاه داده ۴ بیتی مشترک بین ۴ ثبات ۴ بیتی وجود دارد و می خواهیم توسط سیگنال های کنترلی S_0 و S_1 کنترل گذرگاه داده را در اختیار بگیریم. مداری را طراحی کنید که مطابق جدول زیر این کار را انجام دهد.

جدول ۱ : وضعیت های مختلف گذرگاه داده بر حسب سیگنال های کنترلی

وضعیت گذرگاه داده	سیگنال های کنترلی
خروجی ثبات ۴ بر روی گذرگاه قرار گیرد	$S_0S_1 = 00$
خروجی ثبات ۲ بر روی گذرگاه قرار گیرد	$S_0S_1 = 01$
خروجی ثبات ۳ بر روی گذرگاه قرار گیرد	$S_0S_1 = 10$
خروجی ثبات ۱ بر روی گذرگاه قرار گیرد	$S_0S_1 = 11$

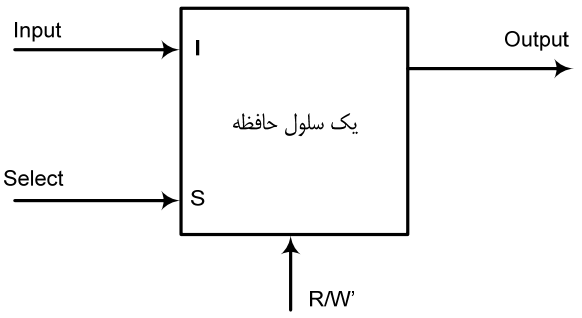
آزمایشگاه معماری کامپیوتر

آزمایش شماره ۶

بررسی و پیاده سازی یک سلول از حافظه *SRAM*

مقدمه آزمایش

حافظه *SRAM* از تعدادی سلول و مدارهای رمزگشا تشکیل شده است. مدارهای رمزگشا آدرس های اعمال شده به حافظه را رمزگشایی کرده و سلول هایی که با آنها کار داریم را مشخص می کنند. هر سلول حافظه، در واقع یک فلیپ فلاپ می باشد که اطلاعات در درون آن ذخیره می گردد. بنابراین هر سلول حافظه می تواند یک بیت را ذخیره کند. در شکل ۱ شمای یک سلول حافظه *SRAM* نشان داده شده است.



۱ یا ۰ = *Input* (ورودی)
۱ یا ۰ = *Output* (خروجی)
پایه خواندن و نوشتن = $R/\overline{W}$
پایه انتخاب سلول = *Select*

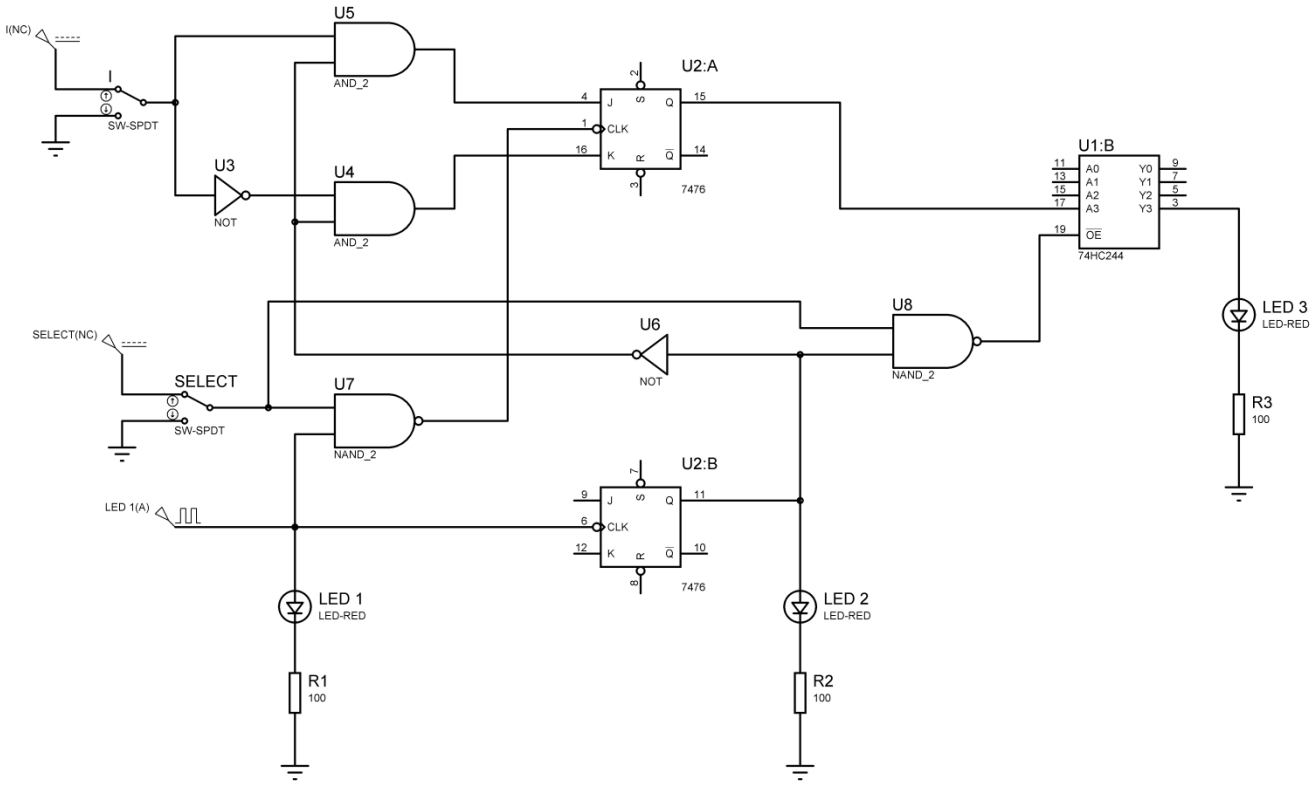
شکل ۱ : یک سلول حافظه *SRAM*

البته معمولاً حافظه ها به گونه ای طراحی می شوند که تنها از یک خط به عنوان خروجی استفاده گردد. در ادامه، نحوه نوشتن و خواندن اطلاعات در درون یک سلول از حافظه را زمانی که ورودی و خروجی مجزا می باشند، بررسی می کنیم. در قسمت دوم، نحوه نوشتن و خواندن اطلاعات را زمانی که ورودی و خروجی یکی باشد را مورد بررسی قرار خواهیم داد.

شرح آزمایش

ـ قسمت اول :

۱ ـ ابتدا مدار شکل ۲ را ببندید.

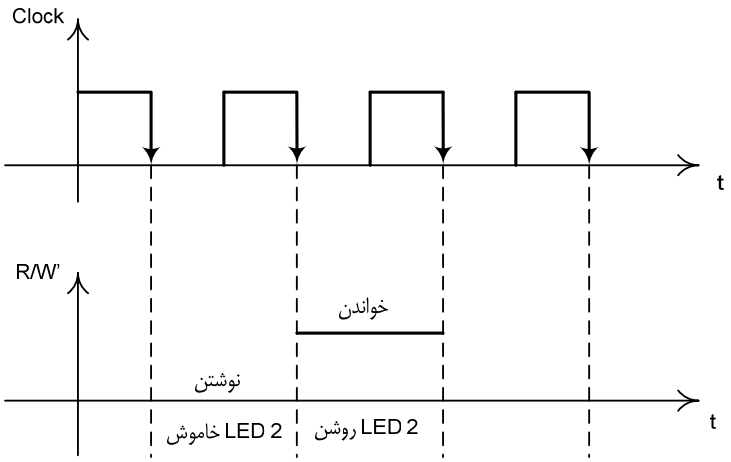


شکل ۲ : مدار قسمت اول آزمایش

۲ ـ به ورودی پالس ساعت (*Clock*) مدار، یک موج مربعی با فرکانس ۱ *Hz* اعمال کنید

۳ ـ یک بار I را برابر با یک (*Vcc*) و یک بار برابر با صفر قرار داده و وضعیت *LED*ها را مشاهده و یادداشت نمایید.

تذکر : ورودی I را زمانی تغییر دهید که در قسمت خواندن هستیم یعنی *LED 2* روشن است.



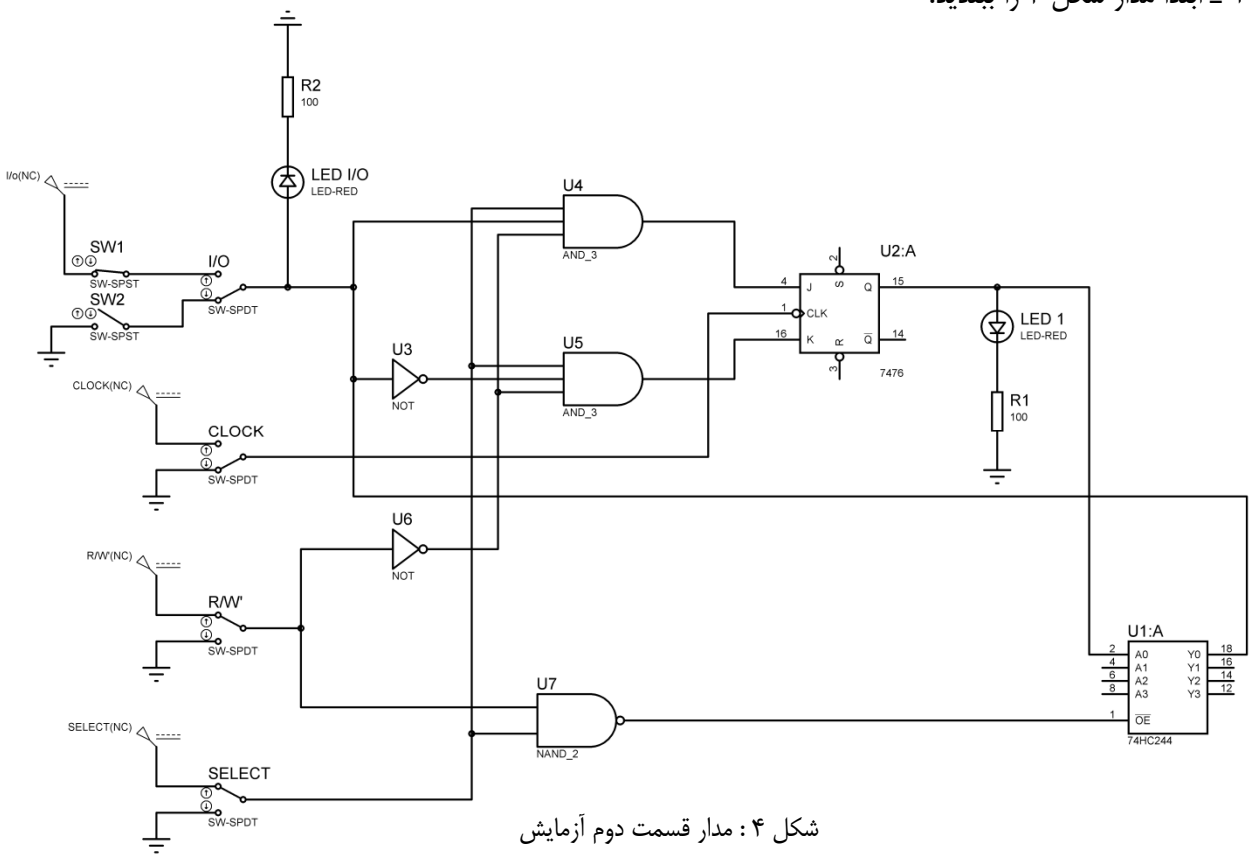
شکل ۳ : ارتباط بین پالس ساعت و عمل خواندن و نوشتن در حافظه

۴ ـ مقدار $select = 0$ قرار دهید. سپس یک مرتبه $I=Vcc$ قرار داده و برای چند پالس ساعت خروجی را مشاهده کنید؛ و یک مرتبه $I=0$ قرار داده و این بار نیز برای چند پالس ساعت خروجی را مشاهده کنید.

۵ ـ عملکرد مدار شکل ۲ را به طور کامل توضیح دهید.

ـ قسمت دوم :

۱ ـ ابتدا مدار شکل ۴ را ببندید.



شکل ۴ : مدار قسمت دوم آزمایش

۲ ـ مراحل زیر را به ترتیب انجام دهید :

الف) وارد کردن عدد ۱ و سپس خواندن آن :

مرحله اول : $select = 1$ و $R/\overline{W} = 0$

مرحله دوم : $I/O=1$ (در این حالت، وضعیت پایه های ۴ و ۱۶ در IC ۷۴۷۶ را مشاهده کنید).

مرحله سوم : دادن $Clock$ به صورت دستی (از ۱ به صفر). وضعیت LED را مشاهده کنید.

مرحله چهارم : $select = 0$ ؛ در این حالت با داده $Clock$ به صورت دستی چه تغییری در خروجی حاصل خواهد شد.

مرحله پنجم : ورودی قطع گردد.

مرحله ششم : $select = 1$ $(R/\overline{W} = 0)$

مرحله هفتم : $R/\overline{W} = 1$ ؛ وضعیت ورودی / خروجی (I/O) را مشاهده یادداشت کنید.

الف) وارد کردن عدد صفر و سپس خواندن آن :

مرحله اول : $select = 1$ و $R/\overline{W} = 0$

مرحله دوم : $I/O=0$ (در این حالت، وضعیت پایه های ۴ و ۱۶ در IC ۷۴۷۶ را مشاهده کنید).

مرحله سوم : دادن $Clock$ به صورت دستی (از ۱ به صفر). وضعیت LED را مشاهده کنید.

مرحله چهارم : $select = 0$ ؛ د راین حالت با داده $Clock$ به صورت دستی چه تغییری در خروجی حاصل خواهد شد.

مرحله پنجم : ورودی قطع گردد.

مرحله ششم : $select = 1$ $(R/\overline{W} = 0)$

مرحله هفتم : $R/\overline{W} = 1$ ؛ وضعیت ورودی / خروجی (I/O) را مشاهده یادداشت کنید.

۳ ـ عملکرد مدار شکل ۴ را به طور کامل توضیح دهید.

آزمایشگاه معماری کامپیوتر

آزمایش شماره ۷

بررسی یک *IC* حافظه *SRAM*

مقدمه آزمایش

حافظه اصلی کامپیوتر، حافظه *RAM* می باشد. کلمه *RAM* مخفف عبارت *Random Access Memory* بوده و به معنای حافظه با قابلیت دستیابی تصادفی می باشد. روش ذخیره سای داده ها در این حافظه ها به گونه ای است که بتوان بدون نیاز به عبور از بخش های مختلف حافظه، هر قسمت از آن را به طور مستقیم خواند و یا بر روی آن نوشت. انواع مختلفی از حافظه های *RAM* وجود دارند که برخی از آنها عبارتند از :

۱) حافظه *DRAM* : این حافظه، هم قابل خواندن و هم قابل نوشتن می باشد و با قطع برق اطلاعات آن از بین می رود. این حافظه ها نیاز به مداری برای نگهداری اطلاعات دارند.

۲) حافظه *SRAM* : این نوع حافظه، هم قابل خواندن و هم قابل نوشتن می باشد و با قطع بایاس، اطلاعات داخل آن پاک می شود. سرعت این حافظه ها از *DRAM* بیشتر می باشد. این حافظه ها را حافظه های استاتیک (غیرپویا) می نامند.

۳) حافظه *SDRAM* : در این حافظه، آدرس شروع و طول داده به طور یکجا ارسال می گردد. این امر باعث می شود که سرعت ارسال در این نوع حافظه ها، از نوع *DRAM* بیشتر باشد.

۴) حافظه *EDORAM* : در این نوع حافظه، در حالی که یک عمل خواندن از روی حافظه در حال اجرا می باشد، می توان به یک داده دیگر دسترسی پیدا کرد.

۵) حافظه *FPMRAM* : در این نوع حافظه، فضای حافظه به تعدادی صفحه تقسیم شده و اطلاعات مرتبط با هم در یک صفحه نگهداری می شوند.

در این آزمایش، هدف بررسی یک *IC* حافظه *SRAM* می باشد . در حافظه های *SRAM* از فلیپ فلاپ ها جهت ذخیره سازی اطلاعات استفاده می شود. معمولاً در این حافظه ها، یک پایه به عنوان پایه خواندن و نوشتن ($R/\overline{W}$) وجود دارد. در هر لحظه ، باید آدرس خانه ای از حافظه که می خواهیم اطلاعات را بر روی آن بنویسیم، بر روی خط آدرس قرار دهیم؛ سپس داده مورد نظر را بر روی خط داده قرار می دهیم.

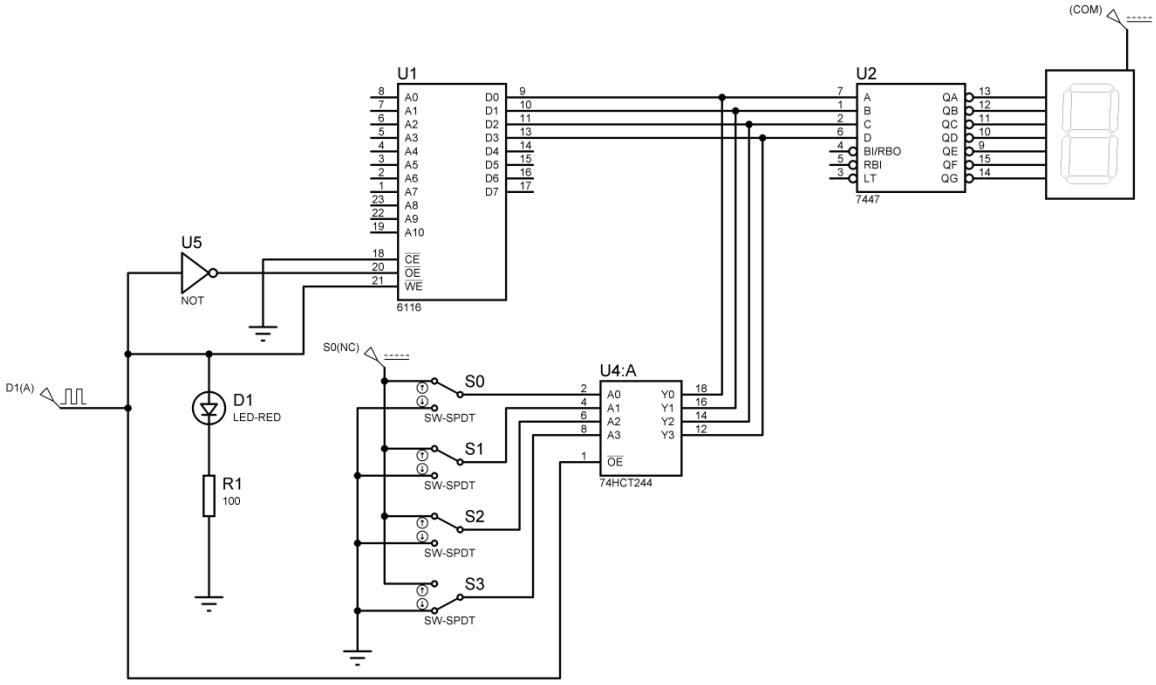
در بعضی از حافظه های *IC*، خطوط داده ورودی و خروجی مجزا هستند و می توان از یک سری خطوط، داده را وارد کرد و از خطوط دیگر، داده ها را خواند (مانند *IC*، ۷۴۸۹) ولی در در برخی دیگر از *IC*ها، خطوط ورودی و

خروجی یکسان می باشند و زمانی که می خواهیم از *IC* اطلاعات را بخوانیم بایستی داده ورودی را قطع کنیم. این کار را می توان توسط بافر انجام داد. در این آزمایش، اطلاعات را در یک خانه حافظه *SRAM* می نویسیم و سپس بازخوانی می کنیم.

شرح آزمایش

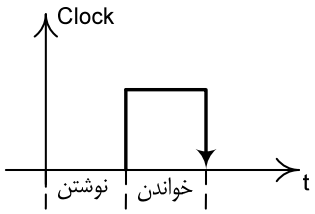
ـ قسمت اول :

۱ ـ ابتدا مدار شکل ۱ را ببندید.



شکل ۱ : مدار قسمت اول آزمایش

۲ ـ سپس به ورودی بافر (۷۴۲۴۴) عدد ۵ را بدهید، یعنی پایه های ۴ و ۸ آن را زمین کنید. حال یک سیگنال *Clock* با فرکانس *Hz* ۱ را به پایه ۱ بافر متصل کنید. سپس وضعیت خروجی و *LED* را مشاهده و یادداشت کنید. عملکرد این مدار را به صورت تئوری شرح دهید.



شکل ۲ : ارتباط بین پالس ساعت و عمل خواندن و نوشتن در حافظه

۳ ـ آنچه در بخش ۲ برای عدد ۵ انجام دادید را برای عدد ۷ تکرار کرده و وضعیت خروجی و *LED* را مشاهده و یادداشت کنید.

ـ نکاتی در باره *IC*، ۷۴۴۷

۱) این *IC* مبدل یک عدد *BCD* به معادل اعشاری آن بر روی *7-Segment* (آند مشترک) می باشد.

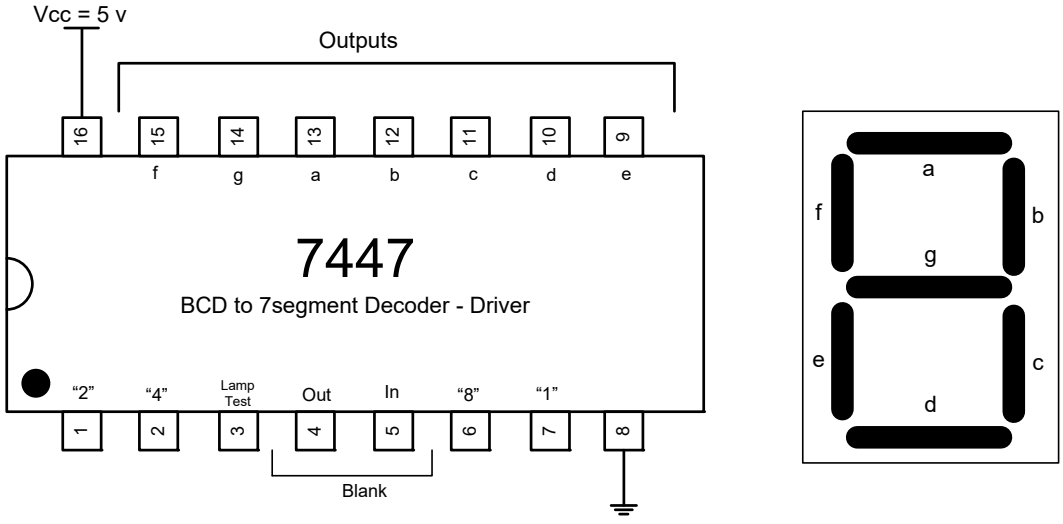
۲) در صورتی که یکی از خروجی ها صفر گردد، *LED* متناظر آن در *7-Segment* روشن می شود، مثلاً اگر پایه ۱۵ صفر گردد، *LED* که با حرف *f* بر روی *7-Segment* مشخص شده، روشن می شود.

۳) درعمل، برای کارکرد صحیح، باید پایه ۳ به *Vcc* وصل گردد. در صورتی که این پایه صفر شود، تمامی خروجی ها صفر می شوند و تمامی *LED*ها بر روی *7-Segment* (در صورت سالم بودن) روشن می شوند. از این پایه برای تست *7-Segment* استفاده می شود.

۴) در صورتی که پایه شماره ۵ (*Blank-in*) به زمین وصل گردد و عدد ورودی به *IC* عدد صفر باشد، *7-Segment* عدد صفر را نشان نمی دهد و خاموش می گردد.

۵) در صورتی که پایه شماره ۴ (*Blank-Out*) به زمین وصل گردد، *7-Segment* هیچ عددی را نمایش نمی دهد. این یکی از مواردی است که می توانیم خروجی یک *IC*، *TTL* را به زمین وصل کنیم.

شماره پایه های این *IC* در شکل ۳ نشان داده شده است.



شکل ۳ : شماره پایه های *IC*، ۷۴۴۷

ـ نکاتی در باره *IC*، ۶۱۱۶

۱) این *IC* یک حافظه *SRAM* همه‌منظوره به ظرفیت ۲*K* کلمه ۸ بیتی می باشد.

۲) این *IC* دارای ۱۰ خط آدرس (A_0-A_9) می باشد.

۳) در هر آدرس می توان یک عدد ۸ بیتی را ذخیره کرد.

۴) خطوط ورودی و خروجی داده در این *IC*، یکسان می باشد (I/O_0 - I/O_7).

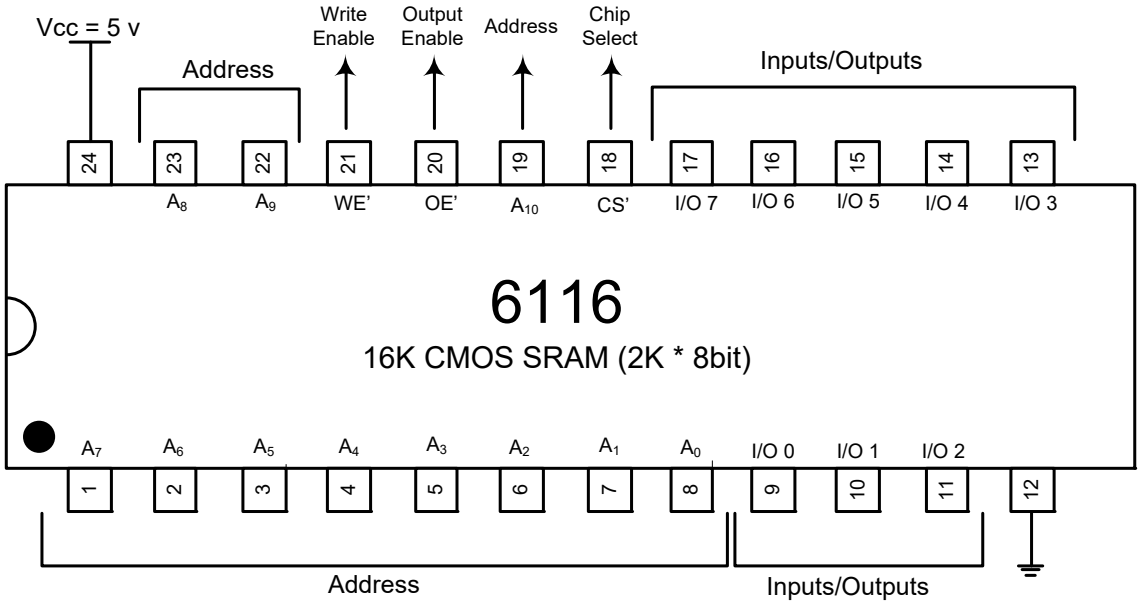
۵) این *IC* کاملاً استاتیک بوده و به پالس ساعت خارجی یا سیگنال‌های فعال‌ساز زمان‌بندی نیازی ندارد.

۵) برای نوشتن داده در یک آدرس از این حافظه، باید پایه‌های $\overline{WE} = 0$ ، $\overline{OE} = 1$ و $\overline{CS} = 0$ گردد و برای خواندن اطلاعات ذخیره شده باید پایه $\overline{WE} = 1$ ، $\overline{OE} = 0$ و $\overline{CS} = 0$ گردد (جدول ۱).

جدول ۱ : جدول درستی *IC*، ۶۱۱۶

حالت عملکرد	داده خروجی	داده ورودی	$\overline{WE}$	$\overline{OE}$	$\overline{CS}$
عدم انتخاب	امپدانس بالا	امپدانس بالا	×	×	$High$
خواندن	داده معتبر	امپدانس بالا	$High$	Low	Low
نوشتن	امپدانس بالا	داده معتبر	Low	$High$	Low
نوشتن	امپدانس بالا	داده معتبر	Low	Low	Low

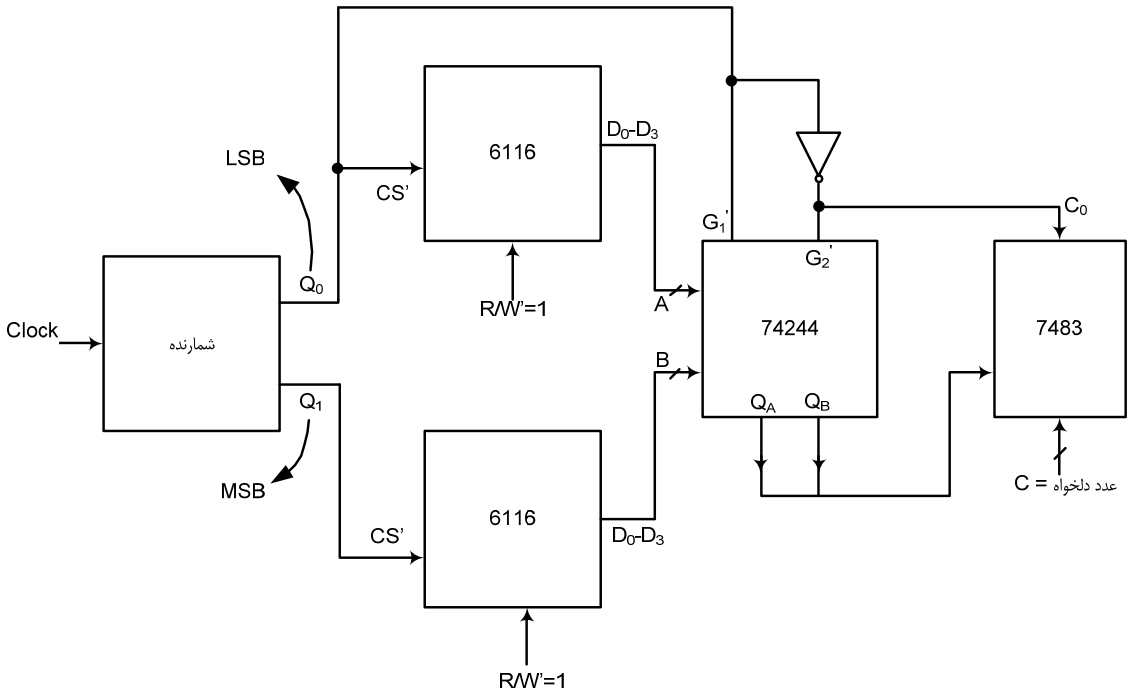
شماره پایه های این *IC* در شکل ۴ نشان داده شده است.



شکل ۴ : شماره پایه های *IC*، ۷۴۴۷

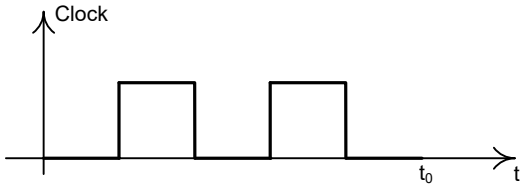
پرسش :

۱ ـ عملکرد مدار شکل ۵ را به طور دقیق شرح دهید (از لحظه $t=0$ تا $t=t_0$).



شکل ۵ : مدار ذکر شده در پرسش ۱

خروجی شمارنده در لحظه $t=0$ در مقدار صفر قرار دارد و با لبه منفی *Clock* کار می کند.



شکل ۶ : نمودار زمان بندی در مدار ذکر شده در پرسش ۱

آزمایشگاه معماری کامپیوتر

آزمایش شماره ۸

دیکدر آدرس (*Address Decoder*)

مقدمه آزمایش

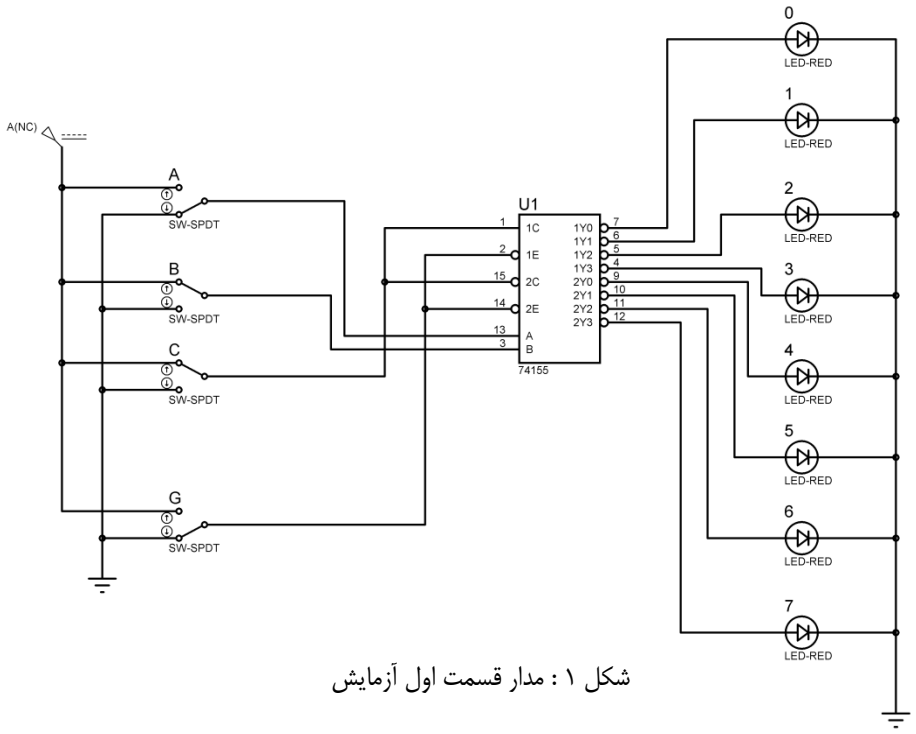
هدف از این آزمایش، آشنایی با یکی از مدارات دیکدر که به عنوان دیکدر آدرس به کار می رود، می باشد. در اینجا از *IC*، ۷۴۱۵۵ به عنوان دیکدر آدرس استفاده شده است. در این *IC* با توجه به آدرس سه رقمی باینری که در ورودی آدرس آن قرار می گیرد، خروجی متناظر با اطلاعات چهار رقمی ورودی این *IC*، بر روی خطوط گذرگاه داده (*Data Bus*) رفته و به قسمت های دیگر انتقال می یابد.

در این آزمایش از *IC*، ۷۴۲۴۴ (بافر سه حالته) نیز استفاده شده است. این *IC* دو عمل را انجام می دهد. یکی اینکه بر سر هر یک از خطوط گذرگاه داده به عنوان یک بافر عمل نموده و دیگر آنکه نقش یک گیت کنترلی را دارا می باشد که تا دستور از دیکدر آدرس صادر نگردد، اطلاعات آنها بر روی گذرگاه داده انتقال نمی یابد.

شرح آزمایش

ـ قسمت اول :

۱ ـ ابتدا مدار شکل ۱ را ببندید.



شکل ۱ : مدار قسمت اول آزمایش

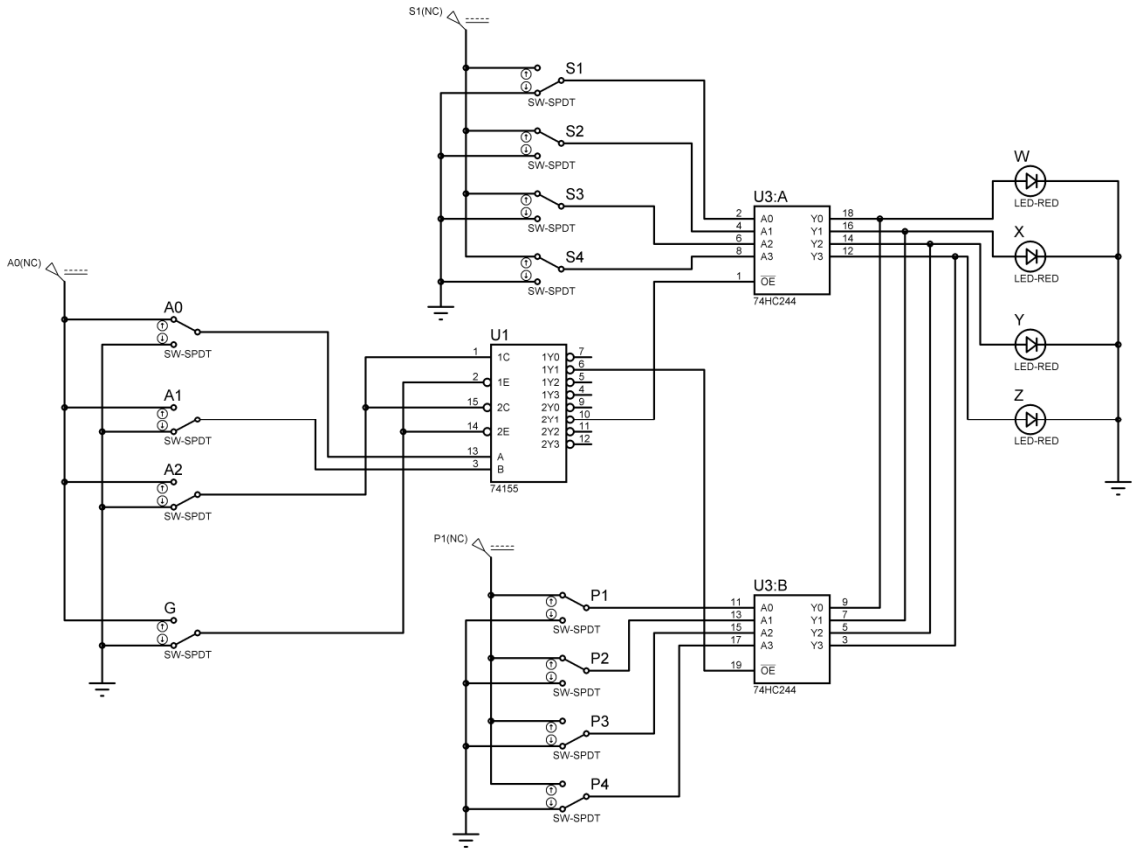
۲ ـ با اعمال ورودی های جدول ۱، خروجی های مدار شکل ۱ را در جدول مذکور یادداشت کنید. *datasheet* مربوط به *IC* دیکدر ۷۴۱۵۵ در انتهای این آزمایش آورده شده است. با توجه به *datasheet* مربوطه بررسی کنید که آیا نتایج به‌دست آمده در این آزمایش با آنچه در *datasheet* این *IC* آورده شده است، مطابقت دارد یا خیر.

جدول ۱ : خروجی های مربوط به مدار قسمت اول آزمایش

Input				***Output***							
G	***C***	***B***	***A***	***0***	***1***	***2***	***3***	***4***	***5***	***6***	***7***
0	*0*	*0*	*0*								
0	*0*	*0*	*1*								
0	*0*	*1*	*0*								
0	*0*	*1*	*1*								
0	*1*	*0*	*0*								
0	*1*	*0*	*1*								
0	*1*	*1*	*0*								
0	*1*	*1*	*1*								
1	*0*	*0*	*0*								
1	*0*	*0*	*1*								
1	*0*	*1*	*0*								
1	*0*	*1*	*1*								
1	*1*	*0*	*0*								
1	*1*	*0*	*1*								
1	*1*	*1*	*0*								
1	*1*	*1*	*1*								

ـ قسمت دوم :

۱ ـ مدار نشان داده شده در شکل ۲ را ببندید.



شکل ۲ : مدار قسمت دوم آزمایش

۲ـ با توجه به ورودی های زیر وضعیت خروجی های W، X، Y و Z را در مکان خود یادداشت نمایید.

$S1 = 0$	$S2 = 1$	$S3 = 1$	$S4 = 1$
$P1 = 1$	$P2 = 1$	$P3 = 0$	$P4 = 0$
$A0 = 0$	$A1 = 0$	$A2 = 0$	$G = 0$
$W =$	$X =$	$Y =$	$Z =$

۳ ـ با همان ورودی های P و S در بند ۲ و ورودی های آدرس به صورت زیر، خروجی ها را بنویسید.

$A0 = 1$	$A1 = 0$	$A2 = 0$	$G = 0$
$W =$	$X =$	$Y =$	$Z =$

۴ ـ با تمام ورودی های بند ۳ و فقط با $G=1$ خروجی ها را بنویسید.

$W =$	$X =$	$Y =$	$Z =$

۵ ـ حال چه آدرسی را باید به ورودی IC، ۷۴۱۵۵ اعمال کنیم تا ورودی مربوط به P در خروجی ظاهر گردد؟

۶ ـ عملکرد مدار شکل ۲ را به طور کامل شرح دهید.

پرسش :

۱ ـ می خواهیم خانه های شماره ۲^n ($n = ۰ ، ۱ ، ... ، ۷$) حافظه ۲۱۱۴ را توسط عدد ۵ پر کنیم. برای این کار از یک سیگنال $Clock$ استفاده می کنیم که با هر بار آمدن لبه منفی $Clock$ یک خانه از حافظه با عدد ۵ پر می شود. مدارای را طراحی کنید که این کار را انجام دهد.

راهنمایی : برای این کار می توانید از یک دیکدر مانند آنچه در این آزمایش با آن آشنا شدید، استفاده نمایید.

آزمایشگاه معماری کامپیوتر

آزمایش شماره ۹

انتقال داده و آشنایی با نحوه عملکرد شیفت‌رجیسترها

مقدمه آزمایش

شیفت رجیسترها با اتصال فلیپ‌فلاپ‌ها به یکدیگر ساخته می‌شوند. از آنجایی‌که فلیپ‌فلاپ‌ها خاصیت حافظه‌ای دارند، در یک شیفت‌رجیستر بسیار مورد استفاده قرار می‌گیرند. شیفت‌رجیسترها معمولاً برای ذخیره‌سازی اطلاعات به‌صورت موقت استفاده می‌شوند. یک نمونه پرکاربرد از شیفت‌رجیستر را می‌توان در هنگام کار با ماشین‌حساب‌ها دید. با وارد کردن یک رقم روی صفحه کلید، عدها به سمت چپ صفحه نمایش‌گر انتقال می‌یابند. به عبارت دیگر برای وارد کردن عدد ۲۶۸ باید به این صورت عمل کرد که ابتدا عدد ۲ را روی صفحه کلید فشار داده و رها نمود. سپس عدد ۶ را روی صفحه‌کلید فشار داده و رها نمود که این کار سبب می‌شود رقم ۲ یک مکان به سمت چپ انتقال یابد و عدد ۶ می‌تواند در منتهی‌الیه سمت راست قرار گیرد و عدد ۲۶ روی نمایش‌گر ظاهر شود. در پایان با فشاردادن و رهانمودن عدد ۸ بر روی صفحه کلید، عدد ۲۶۸ روی نمایش‌گر ظاهر خواهد شد. این مثال دو ویژگی مهم یک شیفت‌رجیستر را نشان می‌دهد. نخست آن‌که شیفت‌رجیستر یک حافظه موقت است و بنابراین اعداد را بر روی صفحه نمایش نگه می‌دارد (حتی پس از رها نمودن دکمه مورد نظر بر روی صفحه‌کلید). دوم آن‌که با هر بار فشار دادن یک رقم جدید بر روی صفحه‌کلید، شیفت‌رجیستر، اعداد را به سمت چپ انتقال می‌دهد. این ویژگی‌های انتقالی و حافظه‌ای سبب می‌شود که شیفت‌رجیستر در بسیاری از سیستم‌های دیجیتالی مورد استفاده قرار گیرد.

یک روش تشریح ویژگی‌های یک شیفت‌رجیستر چگونگی بارگذاری داده به رجیستر و خواندن داده از واحدهای ذخیره است. به‌این‌ترتیب، چهار دسته از شیفت‌رجیسترها عبارتند از:

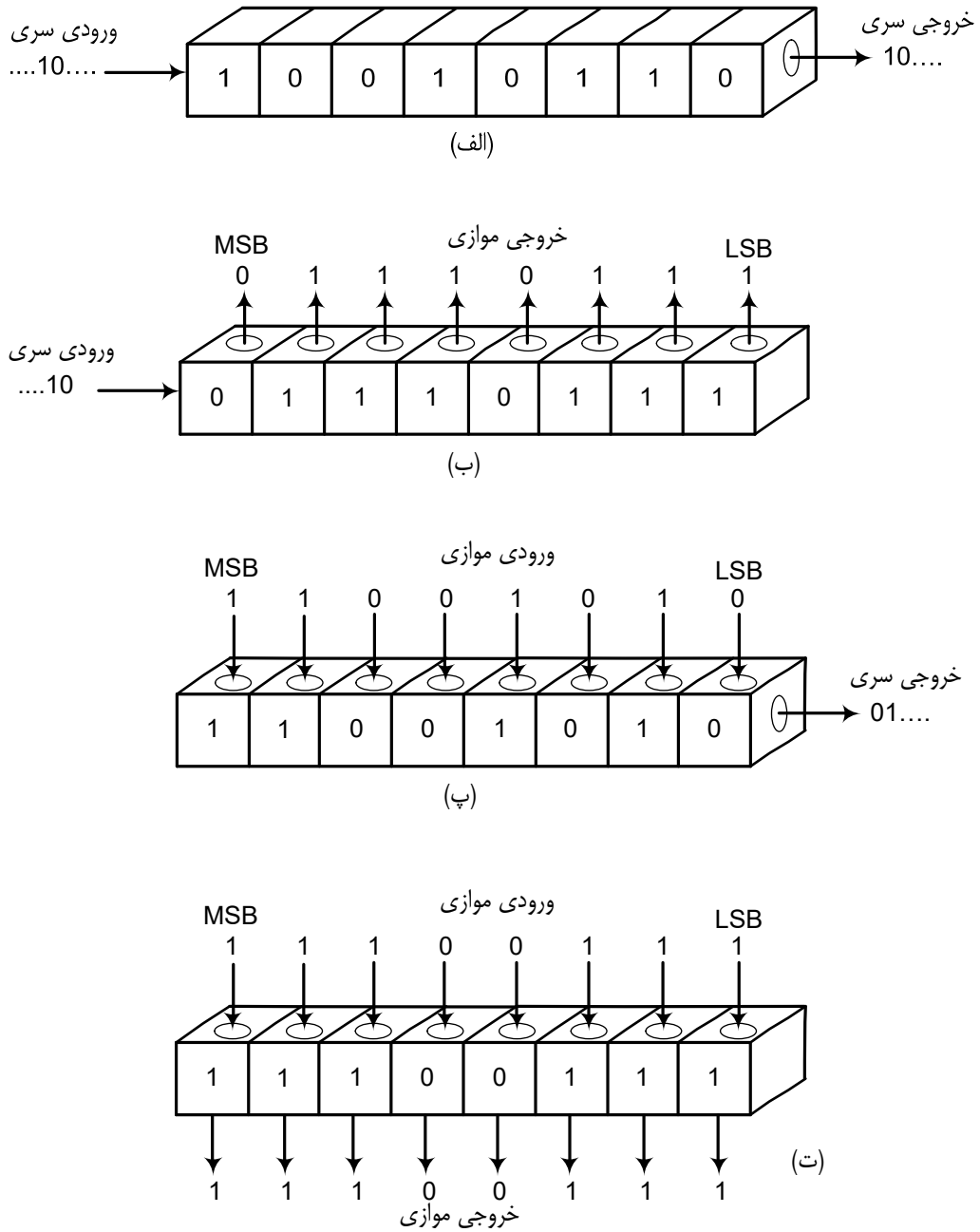
(۱) ورودی سری ـ خروجی سری

(۲) ورودی سری ـ خروجی موازی

(۳) ورودی موازی ـ خروجی سری

(۴) ورودی موازی ـ خروجی موازی

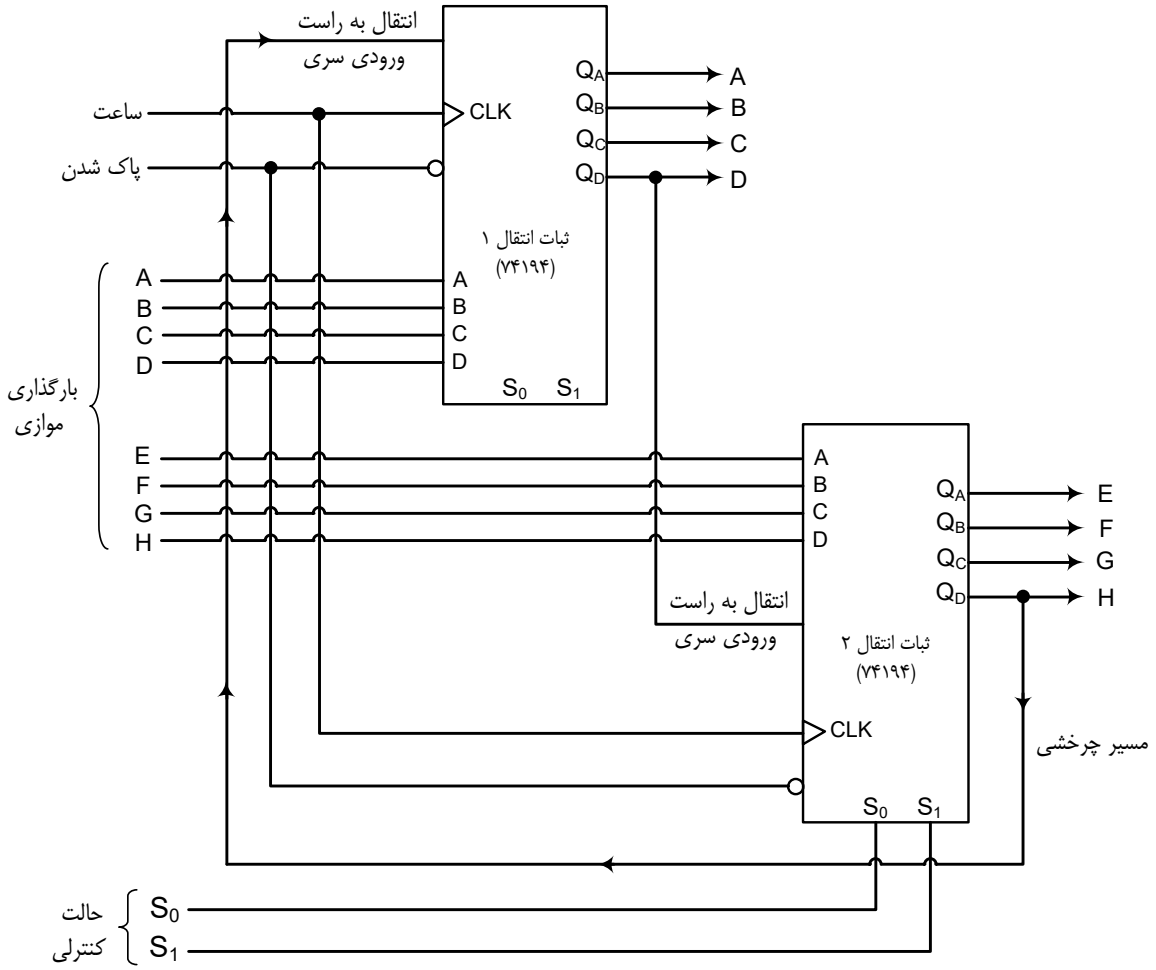
نحوه کارکرد این چهار دسته از ثبات‌ها در شکل ۱ نشان داده شده‌اند.



شکل ۱ : مشخصه‌های یک شیفت‌رجیستر. (الف) ورودی سری ـ خروجی سری. (ب) ورودی سری ـ خروجی موازی. (پ) ورودی موازی ـ خروجی سری. (ت) ورودی موازی ـ خروجی موازی

در این آزمایش، برای تشکیل یک شیفت‌رجیستر با بارگذاری موازی برای انتقال به راست، از یک IC شیفت‌رجیستر به شماره ۷۴۱۹۷ استفاده شده است و بلوک دیاگرام آن در شکل ۲ نشان داده شده است. ورودی CLR خروجی‌ها را به مقدار $0000\ 0000$ پاک می‌کند. ورودی‌های موازی A تا H این امکان را ایجاد می‌کنند که همه هشت بیت داده با یک پالس ساعت (در حالت کنترلی $S_0 = 1$ و $S_1 = 1$) به رجیستر وارد شوند. وقتی حالت کنترلی در وضعیت انتقال به راست است ($S_0 = 0$ و $S_1 = 0$)، ثبات با هر پالس ساعت، داده‌ها را به راست

انتقال می دهد. توجه کنید که یک مسیر چرخشی از خروجی H (خروجی Q_D از ثبات ۲) به ورودی انتقال به راست شیفت‌رجیستر ۱ برمی‌گردد. داده‌هایی که در حالت عادی از خروجی H خارج می‌شدند و از بین می‌رفتند در اینجا مجدداً به مکان A در ثبات برمی‌گردند. اگر هر دو ورودی S_1 و S_0 صفر باشند از انتقال داده درون ثبات جلوگیری می‌شود.



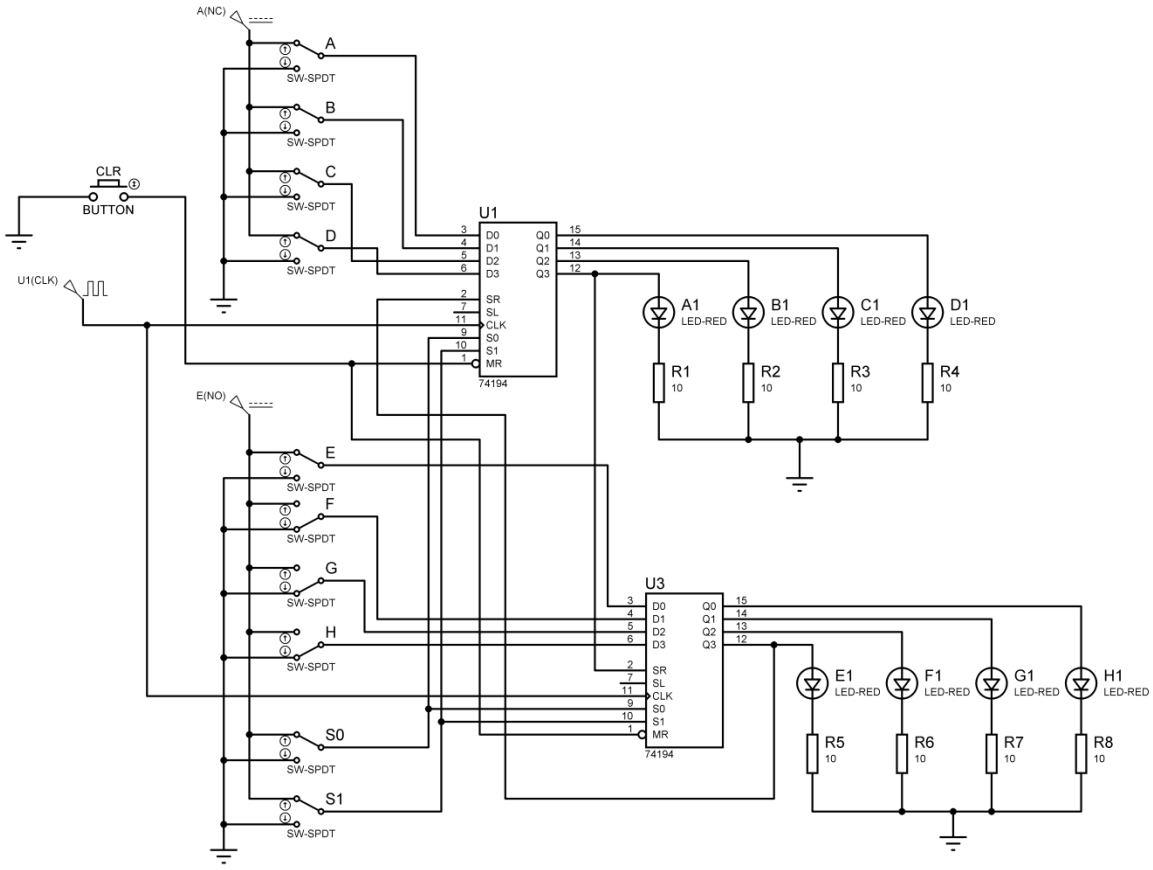
شکل ۲ : دو IC شماره ۷۴۱۹۴ که به شکل یک شیفت‌رجیستر انتقال به راستِ هشت بیتی با بارگذاری موازی بسته شده‌اند.

شرح IC، ۷۴۱۹۴، شماره پایه‌ها و جدول درستی این IC در آزمایش شماره ۴ آورده شده است.

شرح آزمایش

ـ قسمت اول :

۱ ـ ابتدا مدار شکل ۳ را ببندید.



شکل ۳ : مدار قسمت اول آزمایش

۲ ـ سپس به ورودی شیفت‌رجیستر ۱ عدد ۲(*1101*) و به ورودی شیفت‌رجیستر ۲ عدد ۲(*1111*) را اعمال نمایید. دو ورودی کنترلی S_1 و S_0 را در چهار حالت ممکن قرار دهید؛ سپس وضعیت خروجی *LED*ها را مشاهده و یادداشت کنید. عملکرد این مدار را به صورت تئوری شرح دهید.

پرسش :

۱ ـ به جای استفاده از شیفت‌رجیستر، بلوک دیاگرام و مدار شماتیکی سیستمی را پیاده‌سازی کنید که داده ۱۶ بیتی موازیِ ورودی را به داده سریال (سری) در خروجی و داده سریال (سری) ورودی را به داده ۱۶ بیتیِ موازی در خروجی تبدیل نماید.

راهنمایی: از *IC*های مالتی‌پلکسر (مانند ۷۴۱۵۰) و دی‌مالتی‌پلکسر (مانند ۷۴۱۵۴) استفاده کنید.

آزمایشگاه معماری کامپیوتر

آزمایش شماره ۱۰

انتقال ثبات و پیاده‌سازی واحد حساب و منطق

مقدمه آزمایش

واحد پردازنده مرکزی از سه قسمت واحد کنترل، واحد حساب و منطق و واحد پردازنده تشکیل شده است. واحد حساب و منطق جهت انجام ریزعمل‌های ریاضی، منطقی و شیفت استفاده می‌شود. واحد پردازنده ارتباط بین واحد حساب و منطق و مجموعه ثبات‌های داخلی و حافظه کامپیوتر را مشخص می کند.

واحد ALU یک مدار ترکیبی است که مجموعه ریزعمل‌های ریاضی و منطقی را انجام می‌دهد. طراحی یک واحد ALU در سه مرحله انجام می‌گیرد، در مرحله اول طراحی قسمت ریاضی، مرحله دوم طراحی قسمت منطقی و مرحله سوم، ترکیب قسمت‌های ریاضی و منطقی طراحی شده است.

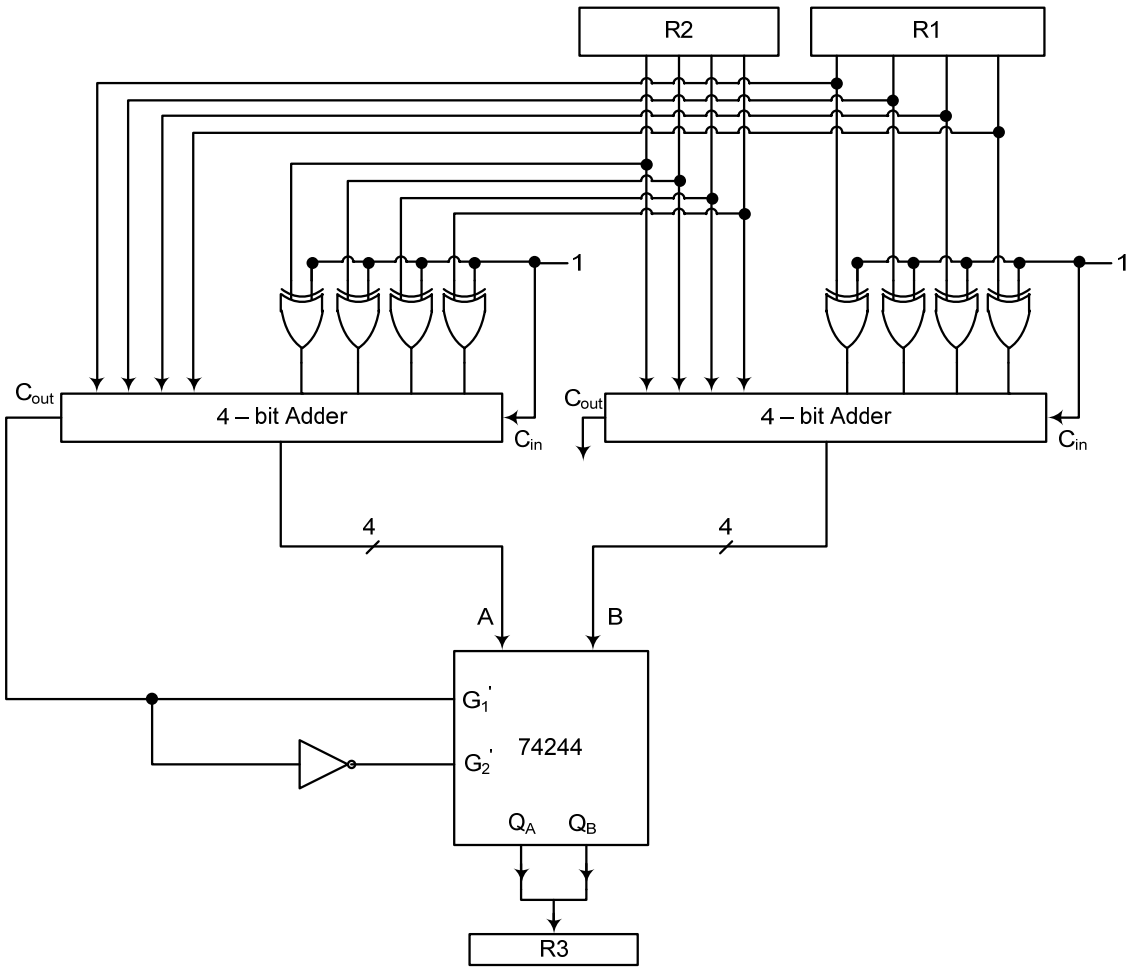
مؤلفه اصلی یک مدار ریاضی، جمع‌کننده موازی است. در این مدار ورودی‌های جمع‌کننده موازی کنترل شده و بر اساس آن عملیات ریاضی مختلف در خروجی جمع‌کننده موازی انجام می‌شود. ریزعملیات منطقی، عملیاتی هستند که روی تک‌تک بیت‌های ثبات انجام می‌گیرد و نتیجه عملیات هر بیت به بیت‌های قبل و بعد آن وابسته نیست. با ترکیب مدارهای ریاضی و منطقی طراحی شده، واحد ALU طراحی می‌کردد.

در این آزمایش، چگونگی پیاده‌سازی یک مدار از روی بلوک دیگرام آن و نیز پیاده‌سازی یک مدار با توجه به بیان عملکرد آن به زبان RTL بررسی خواهد شد.

شرح آزمایش

ـ قسمت اول :

۱ ـ مدار شماتیکی بلوک دیاگرام شکل ۱ را طراحی نموده و آن را ببندید.



شکل ۱ : بلوک دیاگرام قسمت اول آزمایش

۲ ـ ورودی‌های مختلف (در ثبات‌های $R1$ و $R2$) را به مدار اعمال کنید و خروجی را مشاهده و یادداشت کنید. عملکرد این مدار را به صورت تئوری شرح دهید. سپس عملکرد مدار را به زبان RTL بیان نمایید.

ـ قسمت دوم :

۱ ـ عبارت شرطی زیر را در نظر بگیرید :

$$If\ (p = 1\ and\ q = 1) then\ (R_1 \leftarrow\ R_1 + R_2)\ elseif\ (p = 1\ and\ q = 0) then\ R_1 \leftarrow\ R_2$$

عبارت بالا را به زبان نقل و انتقال ثبات ها (RTL) بیان نمایید و بلوک دیاگرام سخت افزاری آن را رسم نمایید.

۲ ـ مدار شماتیکی بلوک دیاگرام طراحی شده در قسمت قبل را پیاده‌سازی نمایید.

۳ ـ ورودی‌های مختلف (در ثبات‌های $R1$ و $R2$) را به مدار اعمال کنید و خروجی را مشاهده و یادداشت کنید. سپس با توجه به خروجی‌ها، بررسی کنید که عبارت شرطی بالا تأیید می شود یا خیر.

پرسش :

۱ ـ عبارات انتقال ثبات برای ثبات R و حافظه در یک کامپیوتر مطابق زیر است (X ها توابع کنترل هستند و تصادفی رخ می‌دهند) :

کلمه حافظه را در R بنویس ($Read$) $\quad \bar{X}_3X_1 : R \leftarrow M[AR]$

انتقال AC به R $\quad \bar{X}_1X_2 : R \leftarrow AC$

R را در حافظه بنویس ($Write$) $\quad \bar{X}_1X_3 : M[AR] \leftarrow R$

حافظه دارای ورودی های داده، خروجی های داده، ورودی های آدرس و ورودی های کنترل برای خواندن و نوشتن است. سخت افزار R و حافظه را به شکل بلوک دیاگرام بکشید. نشان دهید که چگونه توابع کنترل $X1$ تا $X3$ ورودی R ، ورودی های مالتی پلکسرهایی که شما در دیاگرام وارد کرده اید، ورودی های خواندن و نوشتن حافظه را انتخاب می کنند. در پایان، مدار شماتیکی بلوک دیاگرام طراحی شده را پیاده‌سازی نمایید.

Signetics

74181, LS181, S181
Arithmetic Logic Units

4-Bit Arithmetic Logic Unit
Product Specification

Logic Products

FEATURES

- **Provides 16 arithmetic operations: ADD, SUBTRACT, COMPARE, DOUBLE, plus 12 other arithmetic operations**
- **Provides all 16 logic operations of two variables: Exclusive-OR, Compare, AND, NAND, NOR, OR, plus 10 other logic operations**
- **Full lookahead carry for high-speed arithmetic operation on long words**

DESCRIPTION

The '181 is a 4-bit high-speed parallel Arithmetic Logic Unit (ALU). Controlled by the four Function Select inputs ($S_0 - S_3$) and the Mode Control Input (M), it can perform all the 16 possible logic operations or 16 different arithmetic operations on active HIGH or active LOW operands. The Function Table lists these operations.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74181	22ns	91mA
74LS181	22ns	21mA
74S181	11ns	120mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N74181N, N74LS181N, N74S181N

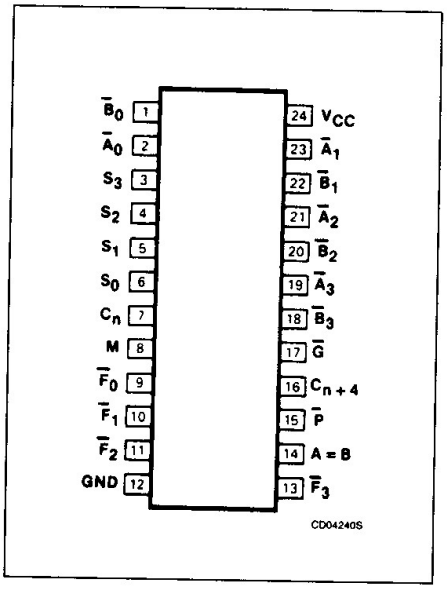
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

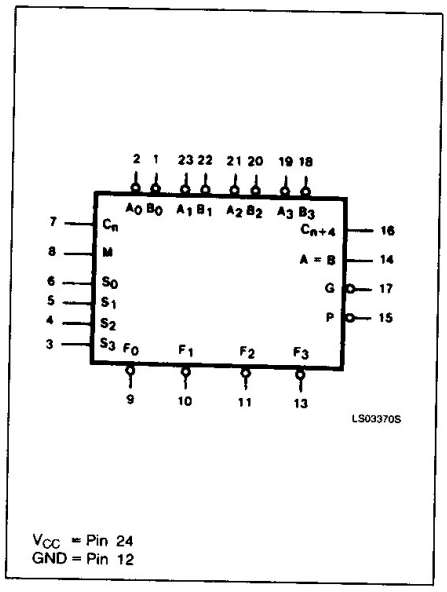
PINS	DESCRIPTION	74	74S	74LS
Mode	Input	1ul	1Sul	1LSul
$\overline{A}$ or $\overline{B}$	Inputs	3ul	3Sul	3LSul
S	Inputs	4ul	4Sul	4LSul
Carry	Input	5ul	5Sul	5LSul
$F_0 - F_3$, = B, C_{n+4}	Outputs	10ul	10Sul	10LSul
$\overline{G}$	Output	10ul	10Sul	40LSul
$\overline{P}$	Output	10ul	10Sul	20LSul

NOTE:
Where a 74 unit load (ul) is understood to be 40μA I_{IH} and −1.6mA I_{IL}, a 74S unit load (Sul) is 50μA I_{IH} and −2.0mA I_{IL}, and 74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

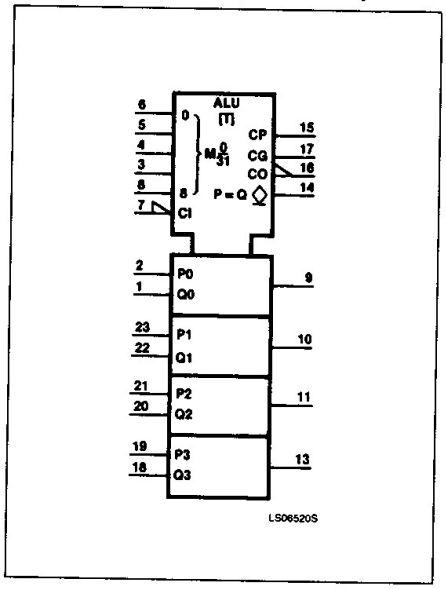
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



When the Mode Control input (M) is HIGH, all internal carries are inhibited and the device performs logic operations on the individual bits as listed. When the Mode Control Input is LOW, the carries are enabled and the device performs arithmetic operations on the two 4-bit words. The device incorporates full internal carry lookahead and provides for either ripple carry between devices using the C_{n+4} output, or for carry lookahead between packages using the signals $\overline{P}$ (Carry Propagate) and $\overline{G}$ (Carry Generate). $\overline{P}$ and $\overline{G}$ are not affected by carry in. When speed requirements are not stringent, it can be used in a simple ripple carry mode by connecting the Carry output (C_{n+4}) signal to the Carry input (C_n) of the next unit. For high-speed operation the device is used in conjunction with the '182 carry lookahead circuit. One carry lookahead package is required for each group of four '181 devices. Carry lookahead can be provided at various levels and offers high-speed capability over extremely long word lengths.

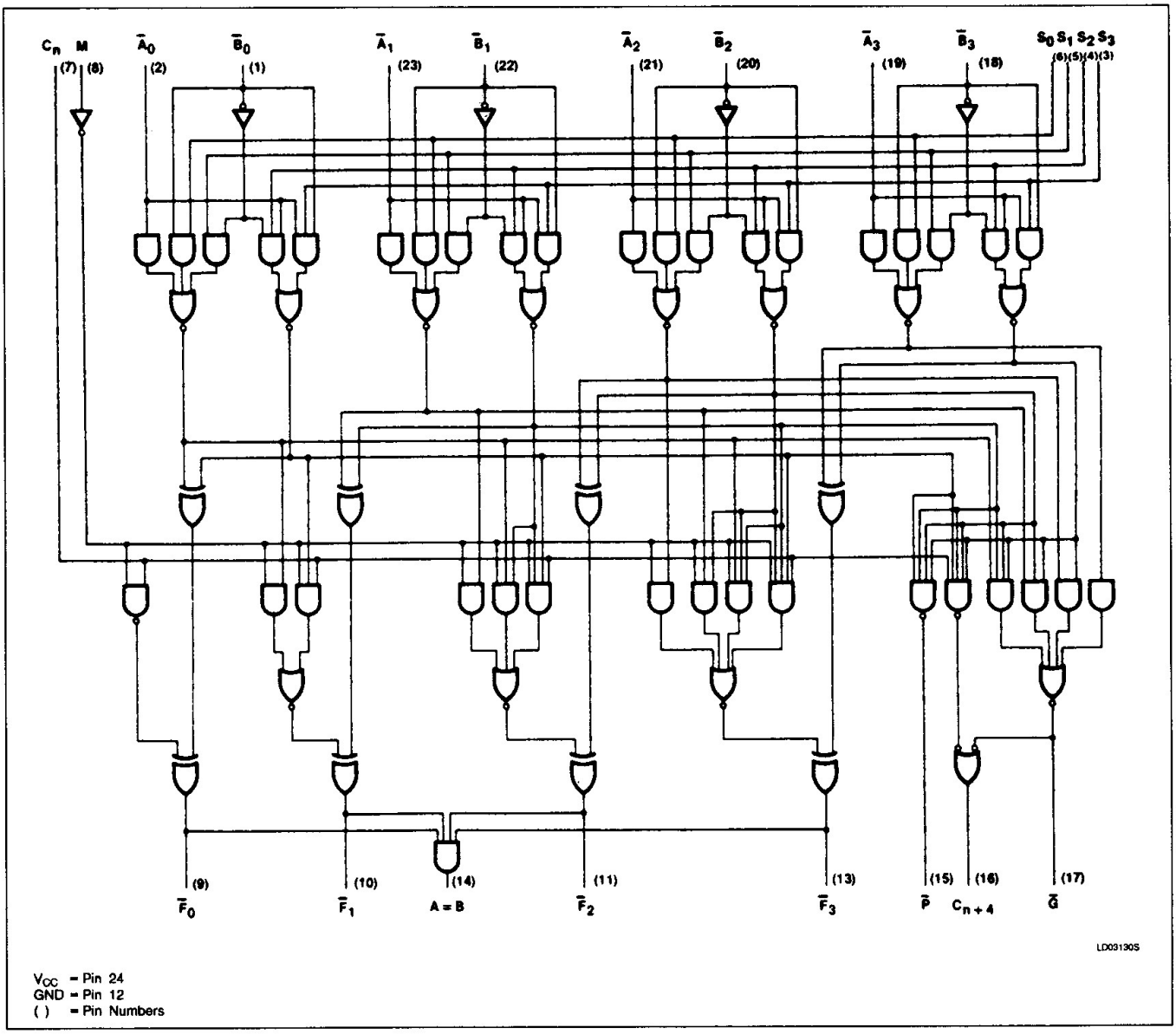
The A = B output from the device goes HIGH when all four $\overline{F}$ outputs are HIGH and can be used to indicate logic equivalence over 4 bits when the unit is in the subtract mode. The A = B output is open collector and can be wired-AND with other A = B outputs to give a comparison for more than 4 bits. The A = B signal can also be used with the C_{n+4} signal to indicate A > B and A < B.

The Function Table lists the arithmetic operations that are performed without a carry in. An incoming carry adds a one to each operation. Thus, select code LHHL generates A minus B minus 1 (2s complement notation) without a carry in and generates A minus B when a carry is applied.

Because subtraction is actually performed by complementary addition (1s complement), a carry out means borrow; thus, a carry is generated when there is no underflow and no carry is generated when there is underflow.

As indicated, this device can be used with either active LOW inputs producing active LOW outputs or with active HIGH inputs producing active HIGH outputs. For either case the table lists the operations that are performed to the operands labeled inside the logic symbol.

LOGIC DIAGRAM



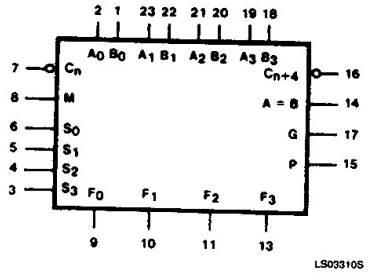
V_{CC} = Pin 24
GND = Pin 12
( ) = Pin Numbers

MODE SELECT — FUNCTION TABLE

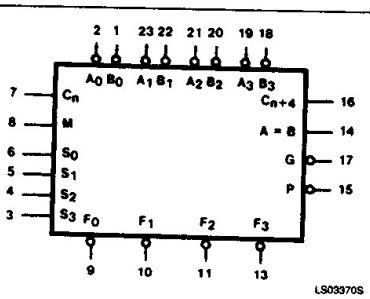
MODE SELECT INPUTS				ACTIVE HIGH INPUTS & OUTPUTS	
S_3	S_2	S_1	S_0	Logic (M = H)	Arithmetic** (M = L) (C_n = H)
L	L	L	L	$\overline{A}$	A
L	L	L	H	$\overline{A+B}$	A + B
L	L	H	L	$\overline{A}B$	$A + \overline{B}$
L	L	H	H	Logical 0	minus 1
L	H	L	L	$\overline{AB}$	A plus $A\overline{B}$
L	H	L	H	$\overline{B}$	(A + B) plus $A\overline{B}$
L	H	H	L	$A \bullet B$	A minus B minus 1
L	H	H	H	$A\overline{B}$	AB minus 1
H	L	L	L	$\overline{A}+B$	A plus AB
H	L	L	H	$\overline{A \bullet B}$	A plus B
H	L	H	L	B	(A + $\overline{B}$) plus AB
H	L	H	H	AB	AB minus 1
H	H	L	L	Logical 1	A plus A*
H	H	L	H	$A+\overline{B}$	(A + B) plus A
H	H	H	L	A + B	(A + $\overline{B}$) plus A
H	H	H	H	A	A minus 1

MODE SELECT INPUTS				ACTIVE LOW INPUTS & OUTPUTS	
S_3	S_2	S_1	S_0	Logic (M = H)	Arithmetic** (M = L) (C_n = L)
L	L	L	L	$\overline{A}$	A minus 1
L	L	L	H	$\overline{AB}$	AB minus 1
L	L	H	L	$\overline{A}+B$	$A\overline{B}$ minus 1
L	L	H	H	Logical 1	minus 1
L	H	L	L	$\overline{A+B}$	A plus (A + $\overline{B}$)
L	H	L	H	$\overline{B}$	AB plus (A + $\overline{B}$)
L	H	H	L	$\overline{A \bullet B}$	A minus B minus 1
L	H	H	H	$A+\overline{B}$	$A+\overline{B}$
H	L	L	L	$\overline{AB}$	A plus (A + B)
H	L	L	H	$\overline{A \bullet B}$	A plus B
H	L	H	L	B	$A\overline{B}$ (A + B)
H	L	H	H	A + B	A + B
H	H	L	L	Logical 0	A plus A*
H	H	L	H	$A\overline{B}$	AB plus A
H	H	H	L	AB	$A\overline{B}$ plus A
H	H	H	H	A	A

L = LOW voltage
H = HIGH voltage level
*Each bit is shifted to the next more significant position.
**Arithmetic operations expressed in 2s complement notation.



Active High Operands



Active Low Operands

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

PARAMETER		74	74LS	74S	UNIT
V_{CC}	Supply voltage	7.0	7.0	7.0	V
V_{IN}	Input voltage	−0.5 to +5.5	−0.5 to +5.5	−0.5 to +5.5	V
I_{IN}	Input current	−30 to +5	−30 to +1	−30 to +5	mA
V_{OUT}	Voltage applied to output in HIGH output state	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	V
T_A	Operating free-air temperature range	0 to 70			°C

RECOMMENDED OPERATING CONDITIONS

PARAMETER		74			74LS			74S			UNIT
		Min	Nom	Max	Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply voltage	4.75	5.0	5.25	4.75	5.0	5.25	4.75	5.0	5.25	V
V_{IH}	HIGH-level input voltage	2.0			2.0			2.0			V
V_{IL}	LOW-level input voltage			+0.8			+0.8			+0.8	V
I_{IK}	Input clamp current			−12			−18			−18	mA
I_{OH}	HIGH-level output current			−800			−400			−1000	μA
I_{OL}	LOW-level output current			16			8			20	mA
T_A	Operating free-air temperature	0		70	0		70	0		70	°C

5

SUM MODE TEST TABLE I

FUNCTION INPUTS: $S_0 = S_3 = 4.5V$, $S_1 = s_2 = M = 0V$

PARAMETER	INPUT UNDER TEST	OTHER INPUT, SAME BIT		OTHER DATA INPUTS		OUTPUT UNDER TEST
		Apply 4.5V	Apply GND	Apply 4.5V	Apply GND	
t_{PLH} t_{PHL}	$\overline{A}_i$	$\overline{B}_i$	None	Remaining $\overline{A}$ and $\overline{B}$	C_n	$\overline{F}_i$
t_{PLH} t_{PHL}	$\overline{B}_i$	$\overline{A}_i$	None	Remaining $\overline{A}$ and $\overline{B}$	C_n	$\overline{F}_i$
t_{PLH} t_{PHL}	$\overline{A}_i$	$\overline{B}_i$	None	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	$\overline{P}$
t_{PLH} t_{PHL}	$\overline{B}_i$	$\overline{A}_i$	None	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	$\overline{P}$
t_{PLH} t_{PHL}	$\overline{A}_i$	None	$\overline{B}_i$	Remaining $\overline{B}$	Remaining $\overline{A}$, C_n	$\overline{G}$
t_{PLH} t_{PHL}	$\overline{B}_i$	None	$\overline{A}_i$	Remaining $\overline{B}$	Remaining $\overline{A}$, C_n	$\overline{G}$
t_{PLH} t_{PHL}	$\overline{A}_i$	None	$\overline{B}_i$	Remaining $\overline{B}$	Remaining $\overline{A}$, C_n	C_{n+4}
t_{PLH} t_{PHL}	$\overline{B}_i$	None	$\overline{A}_i$	Remaining $\overline{B}$	Remaining $\overline{A}$, C_n	C_{n+4}
t_{PLH} t_{PHL}	C_n	None	None	All $\overline{A}$	All $\overline{B}$	Any $\overline{F}$ or C_{n+4}

DIFF MODE TEST TABLE II

FUNCTION INPUTS: $S_0 = S_3 = 4.5V$, $S_1 = s_2 = M = 0V$

PARAMETER	INPUT UNDER TEST	OTHER INPUT, SAME BIT		OTHER DATA INPUTS		OUTPUT UNDER TEST
		Apply 4.5V	Apply GND	Apply 4.5V	Apply GND	
t_{PLH} t_{PHL}	$\overline{A}_i$	None	$\overline{B}_i$	Remaining $\overline{A}$	Remaining $\overline{B}$, C_n	$\overline{F}_i$
t_{PLH} t_{PHL}	$\overline{B}_i$	$\overline{A}_i$	None	Remaining $\overline{A}$	Remaining $\overline{B}$, C_n	$\overline{F}_i$
t_{PLH} t_{PHL}	$\overline{A}_i$	None	$\overline{B}_i$	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	$\overline{P}$
t_{PLH} t_{PHL}	$\overline{B}_i$	$\overline{A}_i$	None	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	$\overline{P}$
t_{PLH} t_{PHL}	$\overline{A}_i$	$\overline{B}_i$	None	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	$\overline{G}$
t_{PLH} t_{PHL}	$\overline{B}_i$	None	$\overline{A}_i$	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	$\overline{G}$
t_{PLH} t_{PHL}	$\overline{A}_i$	None	$\overline{B}_i$	Remaining $\overline{A}$	Remaining $\overline{B}$, C_n	A = B
t_{PLH} t_{PHL}	$\overline{B}_i$	$\overline{A}_i$	None	Remaining $\overline{A}$	Remaining $\overline{B}$, C_n	A = B
t_{PLH} t_{PHL}	$\overline{A}_i$	$\overline{B}_i$	None	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	C_{n+4}
t_{PLH} t_{PHL}	$\overline{B}_i$	None	$\overline{A}_i$	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	C_{n+4}
t_{PLH} t_{PHL}	C_n	None	None	All $\overline{A}$ and $\overline{B}$	None	Any $\overline{F}$ or C_{n+4}

LOGIC MODE TEST TABLE III

PARAMETER	INPUT UNDER TEST	OTHER INPUT, SAME BIT		OTHER DATA INPUTS		OUTPUT UNDER TEST	FUNCTION INPUTS
		Apply 4.5V	Apply GND	Apply 4.5V	Apply GND		
t_{PLH} t_{PHL}	$\overline{A}_i$	$\overline{B}_i$	None	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	$\overline{F}_i$	$S_1 = S_2 = M = 4.5V$ $S_0 = S_3 = 0V$
t_{PLH} t_{PHL}	$\overline{B}_i$	$\overline{A}_i$	None	None	Remaining $\overline{A}$ and $\overline{B}$, C_n	$\overline{F}_i$	$S_1 = S_2 = M = 4.5V$ $S_0 = S_3 = 0V$

DC ELECTRICAL CHARACTERISTICS (Over recommended operating free-air temperature range unless otherwise noted.)

PARAMETER		TEST CONDITIONS[1]			74181			74LS181			74S181			UNIT
					Min	Typ[2]	Max	Min	Typ[2]	Max	Min	Typ[2]	Max	
V_{OH}	HIGH-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX, I_{OH} = MAX	Any output except A = B		2.4	3.4		2.7	3.4		2.7	3.4		V
V_{OL}	LOW-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX	I_{OL} = MAX All outputs			0.2	0.4		0.35	0.5			0.5	V
			I_{OL} = 4mA						0.25	0.4				V
			I_{OL} = 16mA $\overline{G}$ output						0.47	0.7				V
			I_{OL} = 8mA $\overline{P}$ output						0.35	0.5				V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = I_{IK}					−1.5			−1.5			−1.2	V
I_I	Input current at maximum input voltage	V_{CC} = MAX	Mode input				1.0			0.1			1.0	mA
			$\overline{A}$ or $\overline{B}$ inputs				1.0			0.3			1.0	mA
			S inputs				1.0			0.4			1.0	mA
			Carry input				1.0			0.5			1.0	mA
I_{IH}	HIGH-level input current	V_{CC} = MAX	V_I = 2.4V	Mode input			40							μA
				$\overline{A}$ or $\overline{B}$ inputs			120							μA
				S inputs			160							μA
				Carry input			200							μA
			V_I = 2.7V	Mode input						20			50	μA
				$\overline{A}$ or $\overline{B}$ inputs						60			150	μA
				S inputs						80			200	μA
				Carry input						100			250	μA
I_{IL}	LOW-level input current	V_{CC} = MAX	V_I = 0.4V	Mode input			−1.6			−0.4				mA
				$\overline{A}$ or $\overline{B}$ inputs			−4.8			−1.2				mA
				S inputs			−6.4			−1.6				mA
				Carry input			−8			−2				mA
			V_I = 0.5V	Mode input									−2	mA
				$\overline{A}$ or $\overline{B}$ inputs									−6	mA
				S inputs									−8	mA
				Carry input									−10	mA
I_{OH}	HIGH-level output current	V_{IH} = MIN, V_{IL} = MAX, V_{OH} = 5.5V A = B only					250			100			250	μA
I_{OS}	Short-circuit output current[3]	V_{CC} = MAX Any output except A = B			−18		−57	−15		−100	−40		−100	mA
I_{CC}	Supply current[4] (total)	V_{CC} = MAX		Note 4a		88	140		20	34		120	220	mA
				Note 4b		94	150		21	37		120	220	mA

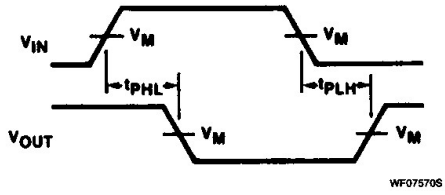
NOTES:

1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
2. All typical values are at V_{CC} = 5V, T_A = 25°C.
3. I_{OS} is tested with V_{OUT} = +0.5V and V_{CC} = V_{CC} MAX + 0.5V. Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.
4. I_{CC} is measured with the following conditions: a. S_0 through S_3, M, and A inputs are at 4.5V, other inputs grounded, all outputs open. b. S_0 through S_3 and M inputs are at 4.5V, other inputs grounded, all outputs open.

AC ELECTRICAL CHARACTERISTICS $T_A = 25°C$, $V_{CC} = 5.0V$

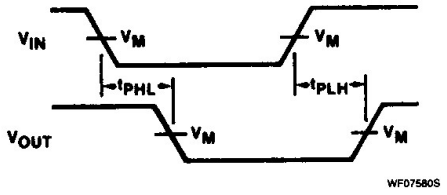
PARAMETER		TEST CONDITIONS	74		74LS		74S		UNIT
			$C_L = 15pF$, $R_L = 400\Omega$		$C_L = 15pF$, $R_L = 2k\Omega$		$C_L = 15pF$, $R_L = 280\Omega$		
			Min	Max	Min	Max	Min	Max	
t_{PLH} t_{PHL}	Propagation delay C_n to C_{n+4}	M = 0V, Sum or Diff Mode see Waveform 2 and Tables I & II		18 19		27 20		10.5 10.5	ns
t_{PLH} t_{PHL}	Propagation delay C_n to $\overline{F}$ outputs	M = 0V, Sum or Diff Mode see Waveform 2 and Tables I & II		19 18		26 20		12 12	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}$ or $\overline{B}$ inputs to $\overline{G}$ output	M = S_1 = S_2 = 0V, S_0 = S_3 = 4.5V Sum Mode, see Waveform 2 and Table I		19 19		29 23		12 12	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}$ or $\overline{B}$ inputs to $\overline{G}$ output	M = S_0 = S_3 = 0V, S_1 = S_2 = 4.5V Diff Mode, see Waveform 3 and Table II		25 25		32 32		15 15	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}$ or $\overline{B}$ inputs to $\overline{P}$ output	M = S_1 = S_2 = 0V, S_0 = S_3 = 4.5V Sum Mode, see Waveform 2 and Table I		19 25		30 30		12 12	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}$ or $\overline{B}$ inputs to $\overline{P}$ output	M = S_0 = S_3 = 0V, S_1 = S_2 = 4.5V Diff Mode, see Waveform 3 and Table II		25 25		30 33		15 15	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}_i$ or $\overline{B}_i$ inputs to $\overline{F}_i$ outputs	M = S_1 = S_2 = 0V, S_0 = S_3 = 4.5V Sum Mode, see Waveform 2 and Table I		42 32		32 20		16.5 16.5	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}_i$ or $\overline{B}_i$ inputs to $\overline{F}_i$ outputs	M = S_0 = S_3 = 0V, S_1 = S_2 = 4.5V Diff Mode, see Waveform 3 and Table II		48 34		32 32		20 22	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}_i$ or $\overline{B}_i$ inputs to $\overline{F}_i$ outputs	M = 4.5V, Logic Mode see Waveform 2 and Table III		48 34		33 38		20 22	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}$ or $\overline{B}$ inputs to C_{n+4} output	M = 0V, S_0 = S_3 = 4.5V, S_1 = S_2 = 0V Sum Mode, see Waveform 1 and Table I		43 41		38 38		18.5 18.5	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}$ or $\overline{B}$ inputs to C_{n+4} outputs	M = 0V, S_0 = S_3 = 0V, S_1 = S_2 = 4.5V Diff Mode, see Waveform 4 and Table II		50 50		41 41		23 23	ns
t_{PLH} t_{PHL}	Propagation delay $\overline{A}$ or $\overline{B}$ inputs to A = B output	M = S_0 = S_3 = 0V, S_1 = S_2 = 4.5V Diff Mode, see Waveform 3 and Table II		50 48		50 62		23 30	ns

AC WAVEFORMS



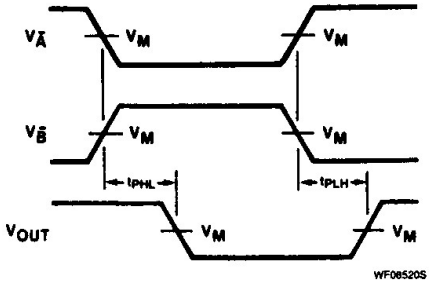
V_M = 1.5V for 74 and 74S; V_M = 1.3V for 74LLS

Waveform 1



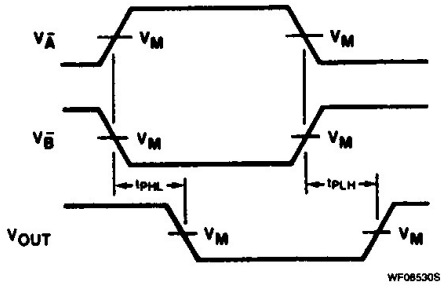
V_M = 1.5V for 74 and 74S; V_M = 1.3V for 74LLS

Waveform 2



V_M = 1.5V for 74 and 74S; V_M = 1.3V for 74LLS

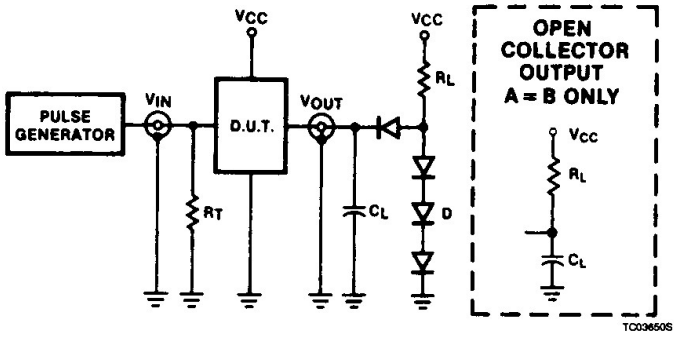
Waveform 3



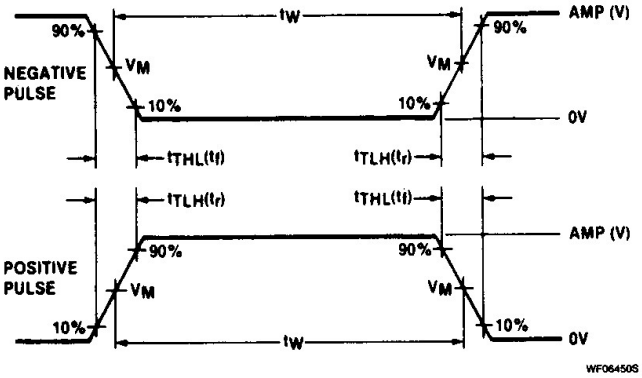
V_M = 1.5V for 74 and 74S; V_M = 1.3V for 74LLS

Waveform 4

TEST CIRCUITS AND WAVEFORMS



Test Circuit For 74 Totem-Pole Outputs



V_M = 1.3V for 74LS; V_M = 1.5V for all other TTL families.

Input Pulse Definition

DEFINITIONS

R_L = Load resistor to V_{CC}; see AC CHARACTERISTICS for value.
C_L = Load capacitance includes jig and probe capacitance; see AC CHARACTERISTICS for value.
R_T = Termination resistance should be equal to Z_{OUT} of Pulse Generators.
D = Diodes are 1N916, 1N3064, or equivalent.
t_{TLH}, t_{THL} Values should be less than or equal to the table entries.

FAMILY	INPUT PULSE REQUIREMENTS				
	Amplitude	Rep. Rate	Pulse Width	t_{TLH}	t_{THL}
74	3.0V	1MHz	500ns	7ns	7ns
74LS	3.0V	1MHz	500ns	15ns	6ns
74S	3.0V	1MHz	500ns	2.5ns	2.5ns