

طراحی کامپیوتری سیستم‌های دیجیتال

Computer-Aided Digital System Design

نمونه‌هایی از برنامه‌های VHDL مدارهای دیجیتال

محمدعلی شفیعیان

پاییز ۹۸

1

برنامه VHDL بنویسید که تابع منطقی زیر را پیاده‌سازی کند.

مثال

$$F3 = \overline{LMN} + LM$$

L	M	N	F3
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

$$F3(L, M, N) = \sum(1, 6, 7)$$

2

2

مثال

برنامه VHDL بنویسید که تابع منطقی زیر را پیاده‌سازی کند.

$$F3(L, M, N) = \sum(1, 6, 7)$$

```
-- library declaration
library IEEE;
use IEEE.std_logic_1164.all;
-- entity
entity my_ckt_f3 is
port ( L,M,N : in std_logic;
      F3   : out std_logic);
end my_ckt_f3;
-- architecture
architecture f3_8 of my_ckt_f3 is
signal t_sig : std_logic_vector(2 downto 0); -- local bundle
begin
t_sig <= (L & M & N); -- concatenation operator

with (t_sig) select
  F3 <= '1' when "001" | "110" | "111",
        '0' when others;
end f3_8;
```

3

3

مثال

با استفاده از if برنامه VHDL بنویسید که تابع منطقی زیر را پیاده‌سازی کند.

$$F_OUT(A, B, C) = \overline{A}BC + BC$$

```
-- library declaration
library IEEE;
use IEEE.std_logic_1164.all;
-- entity
entity my_ex is
port (A,B,C : in std_logic;
      F_OUT : out std_logic);
end my_ex;
-- architecture
architecture silly_example of my_ex is
begin
  procl: process(A,B,C) is
  begin
    if (A = '1' and B = '0' and C = '0') then
      F_OUT <= '1';
    elsif (B = '1' and C = '1') then
      F_OUT <= '1';
    else
      F_OUT <= '0';
    end if;
  end process procl;
end silly_example;
```

4

4


 مثال

با استفاده از if برنامه VHDL بنویسید که تابع منطقی زیر را پیاده‌سازی کند.

$$F_OUT(A, B, C) = \overline{A}BC + BC$$

```
-- architecture
architecture bad_example of my_ex_7 is
begin
  procl: process(A, B, C)
  begin
    if (A='0' and B='0' and C='0') or (B='1' and C='1') then
      F_OUT <= '1';
    else
      F_OUT <= '0';
    end if;
  end process procl;
end bad_example;
```

5

5


 مثال

با استفاده از case برنامه VHDL بنویسید که تابع منطقی زیر را پیاده‌سازی کند.

$$F_OUT(A, B, C) = \overline{A}BC + BC$$

$$F_OUT(A, B, C) = \overline{A}BC + BC(A + \overline{A})$$

$$F_OUT(A, B, C) = \overline{A}BC + ABC + \overline{A}BC$$

6

6

مثال

با استفاده از case برنامه VHDL بنویسید که تابع منطقی زیر را پیاده‌سازی کند.

$$F_OUT(A, B, C) = \overline{ABC} + ABC + \overline{ABC}$$

```
-- library declaration
library IEEE;
use IEEE.std_logic_1164.all;
-- entity
entity my_example is
port (A,B,C : in std_logic;
      F_OUT : out std_logic);
end my_example;
-- architecture
architecture my_soln_exam of my_example is
  signal ABC: std_logic_vector(2 downto 0);
begin
  ABC <= A & B & C; -- group signals for case statement
  my_proc: process (ABC)
  begin
    case (ABC) is
      when "100" => F_OUT <= '1';
      when "011" => F_OUT <= '1';
      when "111" => F_OUT <= '1';
      when others => F_OUT <= '0';
    end case;
  end process my_proc;
end my_soln_exam;
```

7

7

مثال

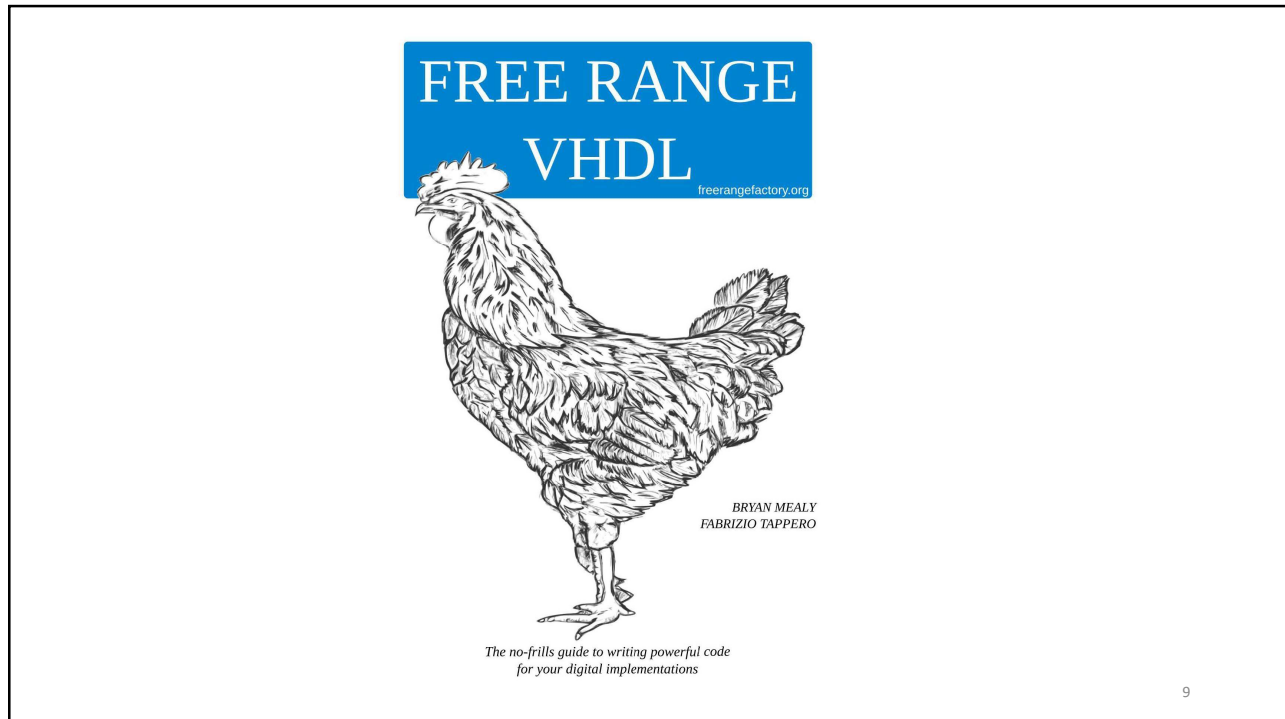
با استفاده از case برنامه VHDL بنویسید که تابع منطقی زیر را پیاده‌سازی کند.

$$F_OUT(A, B, C) = \overline{ABC} + ABC + \overline{ABC}$$

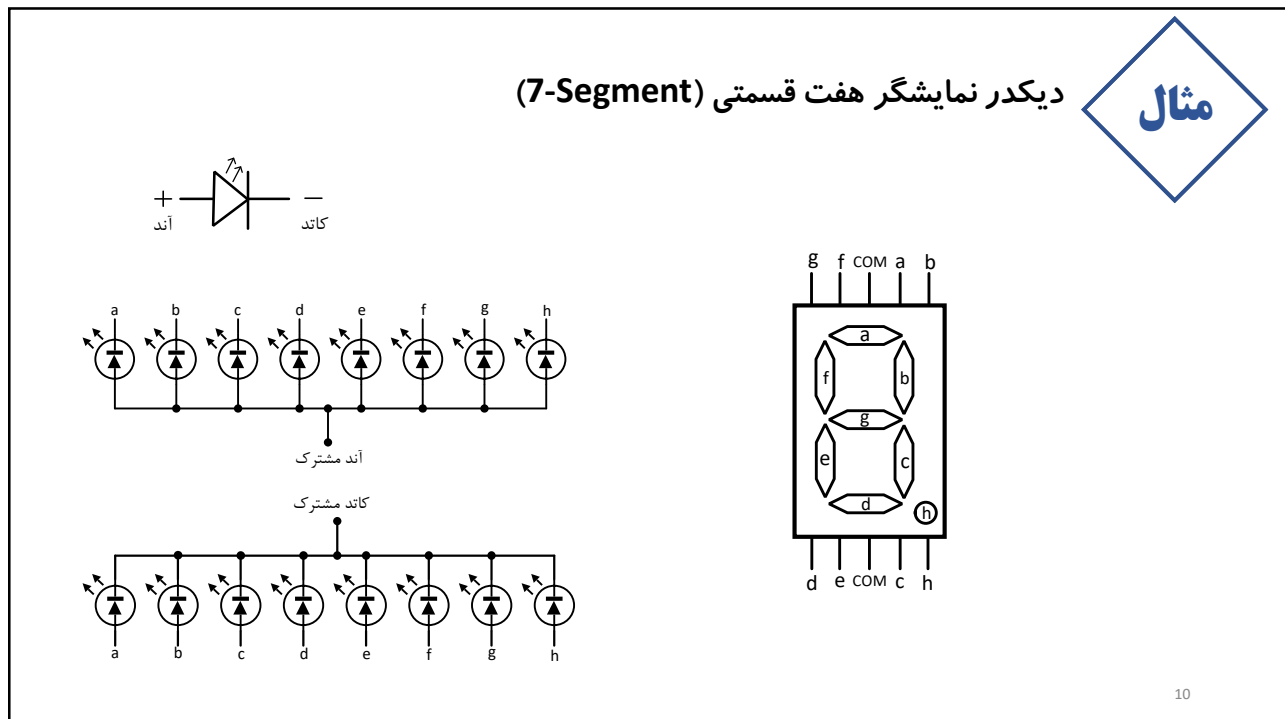
```
architecture my_soln_exam2 of my_example is
  signal ABC: std_logic_vector(2 downto 0);
begin
  ABC <= A & B & C; -- group signals for case statement
  my_proc: process (ABC)
  begin
    case (ABC) is
      when "100" => F_OUT <= '1';
      when "-11" => F_OUT <= '1';
      when others => F_OUT <= '0';
    end case;
  end process my_proc;
end my_soln_exam2;
```

8

8



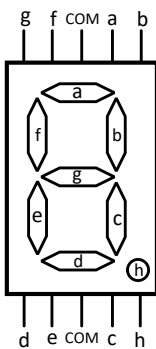
9

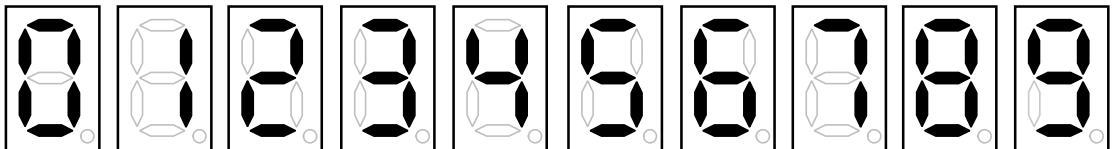


10

مثال

دیگر نمایشگر هفت قسمتی (7-Segment)





11

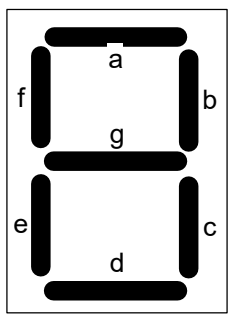
11

مثال

دیگر نمایشگر هفت قسمتی (7-Segment)

آند مشترک

عدد	g	f	e	d	c	b	a
0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	1
2	0	1	0	0	1	0	0
3	0	1	1	0	0	0	0
4	0	0	1	1	0	0	1
5	0	0	1	0	0	1	0
6	0	0	0	0	0	1	0
7	1	1	1	1	0	0	0
8	0	0	0	0	0	0	0
9	0	0	1	0	0	0	0



12

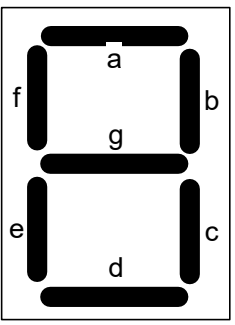
12

دیگر نمایشگر هفت قسمتی (7-Segment)

مثال

کاتد مشترک

عدد	g	f	e	d	c	b	a
0	0	1	1	1	1	1	1
1	0	0	0	0	1	1	0
2	1	0	1	1	0	1	1
3	1	0	0	1	1	1	1
4	1	1	0	0	1	1	0
5	1	1	0	1	1	0	1
6	1	1	1	1	1	0	1
7	0	0	0	0	1	1	1
8	1	1	1	1	1	1	1
9	1	1	0	1	1	1	1

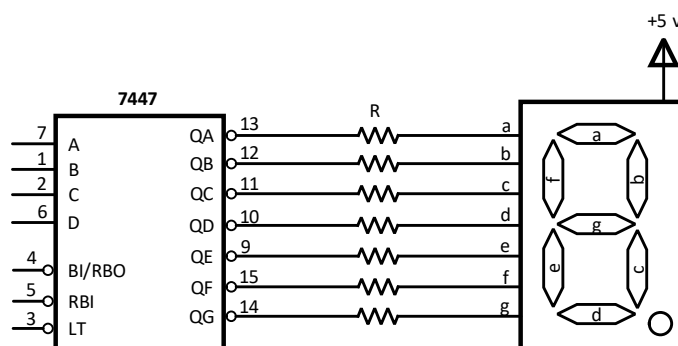


13

13

دیگر نمایشگر هفت قسمتی (7-Segment)

مثال



14

14

دیکدر نمایشگر هفت قسمتی (7-Segment)

مثال

```

--LED Decoder for 7 segment LED
--
library IEEE;
use IEEE.std_logic_1164.all;
--
-- Defining interface with entity
--
entity LEDDCD is
  port (
    D: in STD_LOGIC_VECTOR (3 downto 0);
    S: out STD_LOGIC_VECTOR (6 downto 0)
  );
end LEDDCD;

```

15

15

دیکدر نمایشگر هفت قسمتی (7-Segment)

مثال

```

--
-- Defining architecture of entity
--
--S=abcdefg
architecture LEDDCD_arch of LEDDCD is
begin
with D select
S <= "1111110" when "0000",-- Display 0
    "0110000" when "0001",-- Display 1
    "1101101" when "0010",-- Display 2
    "1111001" when "0011",-- Display 3
    "0110011" when "0100",-- Display 4
    "1011011" when "0101",-- Display 5
    "0011111" when "0110",-- Display 6
    "1110000" when "0111",-- Display 7
    "1111111" when "1000",-- Display 8
    "1110011" when "1001",-- Display 9
    "0000000" when others;-- Blank for non decimal
end LEDDCD_arch;

```

16

16


 مثال

برنامه VHDL برای یک ثبات هشت بیتی با فلیپ‌فلاپ D بنویسید که در لبه پایین‌رونده پالس ساعت (clk) اطلاعات ورودی D را به خروجی ثبات q منتقل کند.

```
library IEEE;
use IEEE.std_logic_1164.all;

entity registd is
  port (
    d: in STD_LOGIC_VECTOR (7 downto 0);
    clk: in STD_LOGIC;
    q: out STD_LOGIC_VECTOR (7 downto 0)
  );
end registd;

architecture registd_arch of registd is
begin
  process (clk)
  begin
    if (clk'event and clk='0') then
      q<=d;
    end if;
  end process;
end registd_arch;
```

17

17


 مثال

برنامه VHDL برای یک ثبات هشت بیتی با فلیپ‌فلاپ D بنویسید که:

• اگر ورودی reset برابر 1 شود، خروجی ثبات q صفر شود، در غیر این صورت:

▪ در لبه بالارونده پالس ساعت اگر:

▪ اگر initial برابر 1 گردد خروجی ثبات q مساوی 11111111 شود و در غیر این صورت ورودی d به خروجی q منتقل شود.

```
library IEEE;
use IEEE.std_logic_1164.all;

entity registdr is
  port (
    d: in STD_LOGIC_VECTOR (0 to 7);
    clk,reset,initial: in STD_LOGIC;
    q: out STD_LOGIC_VECTOR (0 to 7)
  );
end registdr;
```

18

18

```

architecture registdr_arch of registdr is
begin
process(clk,reset)
begin
if reset='1' then
q<=b"00000000";
elsif (clk'event and clk='1') then
if initial ='1' then
q<=b"11111111";
else
q<=d;
end if;
end if;
end process;
end registdr_arch;

```

19

19

```

library IEEE;
use IEEE.std_logic_1164.all;

```

```

entity shift1 is
port (
clk: in STD_LOGIC;
seri_rig: in STD_LOGIC;
qout: buffer STD_LOGIC_VECTOR (7'downto 0)
);
end shift1;

```

```

architecture shift1_arch of shift1 is
begin
--shift one steps to right by clock
process(clk)
begin
if (clk'event and clk='1') then
qout(6 downto 0)<=qout(7 downto 1);
qout(7)<=seri_rig;
end if;
end process;

```

برنامه VHDL بنویسید که در لبه پایین رونده پالس ساعت، محتویات یک ثبات ۸ بیتی را یک واحد به سمت راست شیفت دهد.



20

20

دل گرچه درین بادیه بسیار شتافت

یک موی ندانست و بسی موی شکافت

گرچه ز دلم هزار خورشید بتافت

آخر به کمال ذرهای راه نیافت

ابوسعید ابوالخیر

21

برای کسب اطلاعات بیشتر در مورد این درس می‌توانید به وب سایت

آموزشی در لینک زیر مراجعه نمایید

<http://shafieian-education.ir>

22

پایان