پروژه نهایی درس طراحی کامپیوتری سیستم‌های دیجیتال

زمستان ۹۸

** **راهنمایی و نکات مهم:** دانشجوی گرامی، پیش از انجام و تحویل پروژه خود، موارد زیر را به‌دقت بخوانید.

۱- برنامه‌های این پروژه را درون محیط نرم‌افزار Quartus II بنویسید و آن را به‌صورت زمانی شبیه‌سازی کنید.

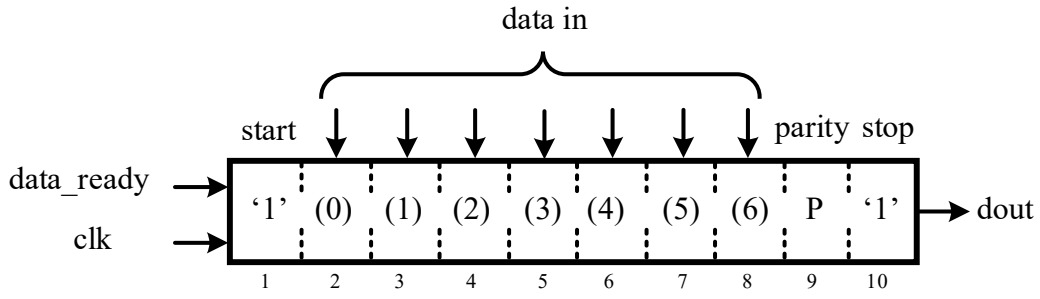
۲- در صورت تمایل می‌توانید پروژه را در گروه‌های حداکثر ۳ نفری انجام دهید. توجه شود که همه افراد گروه باید به همه کدهای پروژه مسلط باشند و باید بتوانند همه بخش‌های آن را توضیح دهند.

۳- شبیه‌سازی‌ها در روز امتحان پایان‌ترم تحویل گرفته خواهد شد. علاوه بر این، برنامه نوشته شده خود را نیز باید به‌صورت حضوری در همان روز ارائه دهید.

۴- دانشجویانی که بیش از ۵ جلسه غیبت دارند، نمی‌توانند پروژه تحویل دهند.

انتقال داده به‌صورت سریال

در این پروژه، هدف آن است که داده ذخیره شده در یک رجیستر، به‌صورت سریال انتقال یابد. بلوک دیاگرام چنین سیستمی در شکل زیر نشان داده شده است.



در پروتکل نشان داده شده در شکل بالا، داده از ۱۰ بیت تشکیل شده است که در آن یک بیت شروع (Start Bit) در منطق بالا (High) قرار داده شده است. در ادامه، ۷ بیت داده اصلی (data in) قرار دارد و علاوه بر آن یک بیت توازن زوج نیز قرار داده می‌شود؛ این بیت توازن (P) به‌گونه‌ای به پیام اضافه می‌شود که مجموع تعداد کل یک‌ها در مکان بیت‌های ۲ تا ۹ زوج باشد؛ به این ترتیب، اگر مجموع تعداد یک‌ها در بیت‌های ۲ تا ۸ فرد باشد، بیت توازن مقدار ۱ را می‌گیرد و در غیر این‌صورت مقدار صفر را می‌گیرد. همچنین، بیت دهم نیز بیت پایان (Stop Bit) است که در منطق یک (High) قرار دارد. فرض کنید که سیگنالی به نام data_ready وجود دارد که نشان‌دهنده اعلام آمادگی برای بار شدن (load) داده در رجیستر و ارسال سریال آن می‌باشد.

برنامه‌ای بنویسید که داده‌های ۷ بیتی را دریافت کند و بیت‌های شروع، پایان و توازن را در مکان‌های تعیین‌شده به داده اضافه نماید. سپس در صورت وجود سیگنال data_ready داده ۱۰ بیتی به‌صورت سریال ارسال شود. همچنین فرض کنید که همه رخدادها در لبه بالارونده پالس ساعت (clk) رخ می‌دهند.

یک خط تو نگاری به‌دست خویش، بهتر ز هزار خط زرنگار دگران

با آرزوی موفقیت ـ محمدعلی شفیعیان