مدارهای منطقی

فصل پنجم
مدارهای منطقی ترتیبی

محمدعلی شفیعیان

http://shafieian-education.ir/

جدول‌های مشخصه فلیپ‌فلاپ‌ها

JK Flip Flop

J	K	$Q(t+1)$	
0	0	$Q(t)$	*cte*
0	1	0	*Reset*
1	0	1	*Set*
1	1	$Q'(t)$	*Toggle*

RS Flip Flop

S	R	$Q(t+1)$	
0	0	$Q(t)$	*cte*
0	1	0	*Reset*
1	0	1	*Set*
1	1	?	*Forbidden*

D Flip Flop

D	$Q(t+1)$	
0	0	*cte*
1	1	*cte*

T Flip Flop

T	$Q(t+1)$	
0	1	*Toggle*
1	0	*Toggle*

تحلیل مدارهای ترتیبی سنکرون

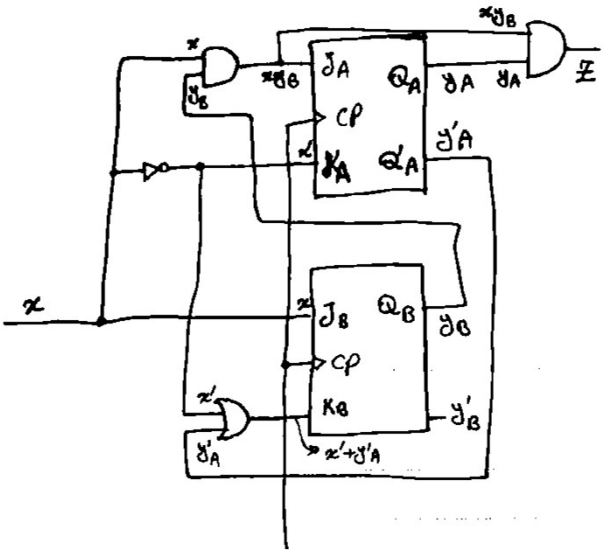
۱- با استفاده از خروجی‌های فلیپ‌فلاپ‌ها، روابط خروجی مدار را به دست می آوریم.

۲- جدول حالتی رسم می کنیم که در آن حالت فعلی فلیپ فلاپ ها، ورودی مدار، ورودی فلیپ فلاپ ها، حالات بعدی فلیپ فلاپ ها و خروجی مدار وجود داشته باشد.

۳- رسم دیاگرام حالت

تحلیل مدارهای ترتیبی سنکرون

مثال:



$J_A = x y_B$

$K_A = x'$

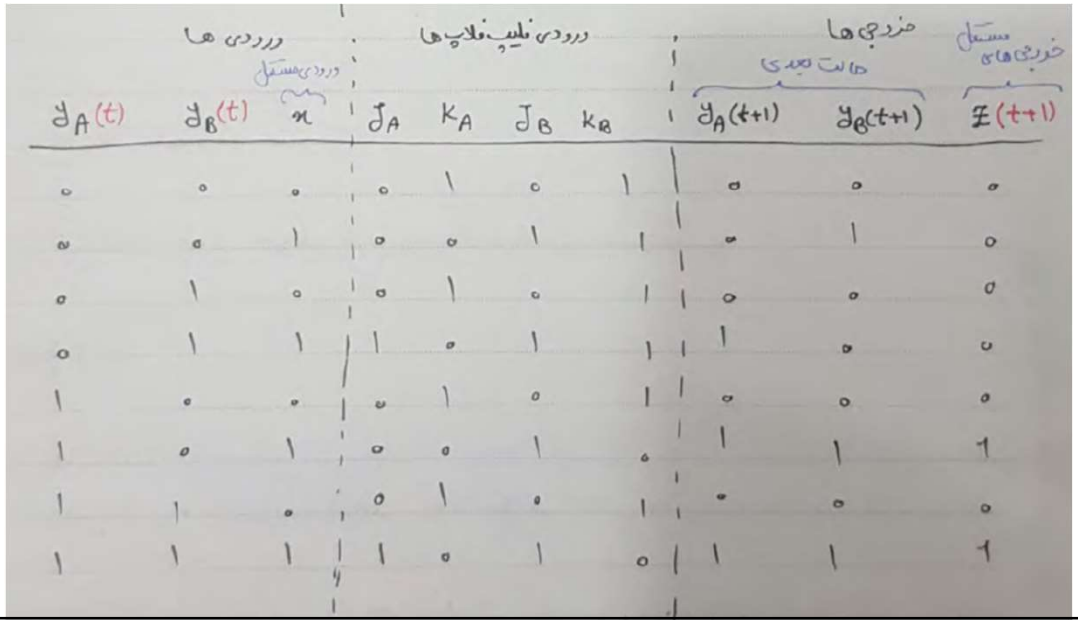
$J_B = x$

$K_B = x' + y'_A$

$Z = x y_A y_B$

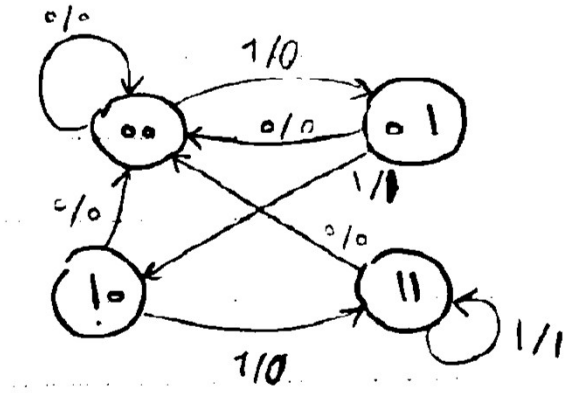
تحلیل مدارهای ترتیبی سنکرون

مثال:



تحلیل مدارهای ترتیبی سنکرون

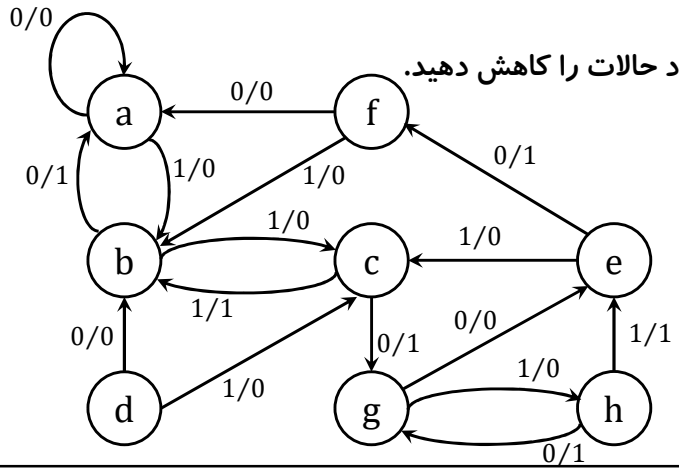
مثال:



کاهش حالات در دیاگرام حالت

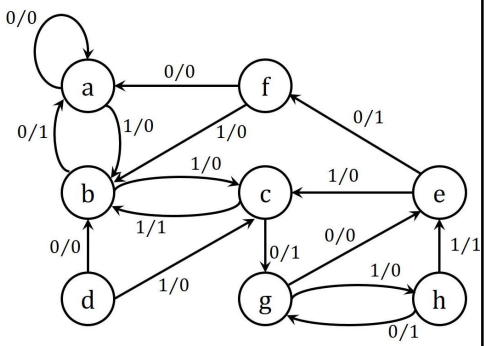
با استفاده از الگوریتم‌های ساده‌کننده می‌توان حالات مدار را کاهش داد و به این ترتیب تعداد فلیپ‌فلاپ های مورد نیاز مدار را کاهش داد.

مثال: دیاگرام حالت زیر مفروض است، تعداد حالات را کاهش دهید.



مرحله اول: رسم جدول حالت

حالت فعلی فلیپ‌فلاپ‌ها	حالت بعدی فلیپ‌فلاپ‌ها $x=0$	$x=1$	خروجی‌ها $x=0$	$x=1$
a	a	b	0	0
b	a	c	1	0
c	g	b	1	1
d	b	c	0	0
e	f	c	1	0
f	a	b	0	0
g	e	h	0	0
h	g	e	1	1



مرحله دوم: شناسایی حالات معادل و حذف یکی از آنها

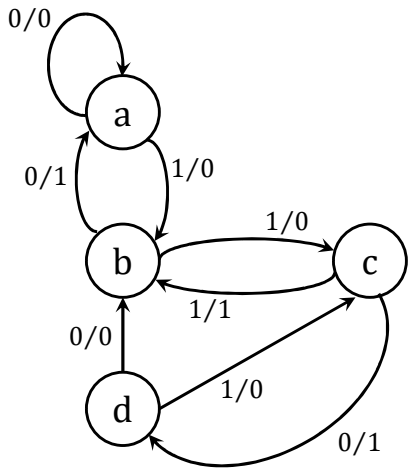
دو حالت را معادل گویند هرگاه اولاً خروجی‌های یکسان داشته باشند و دوم آنکه حالت بعدی آنها یا یکسان باشند یا با هم معادل باشند.

می‌توان در ساده‌سازی و کاهش حالات به جای دو حالت معادل فقط یکی از آنها را در نظر گرفت. توجه شود حذف هر حالت در یک ردیف به صورت کامل باعث می‌شود که تمام جاهایی که در جدول آن حالت ذکر شده است به صورت حالت معادل درآید.

حالت فعلی فلیپ‌فلاپ‌ها	حالت بعدی فلیپ‌فلاپ‌ها $x=0$	$x=1$	خروجی‌ها $x=0$	$x=1$
a	a	b	0	0
b	a	c	1	0
c	~~g~~=d	b	1	1
d	b	c	0	0
② ~~e~~=b	~~f~~=a	c	1	0
① ~~f~~=a	a	b	0	0
④ ~~g~~=d	~~e~~=b	~~h~~=c	0	0
③ ~~h~~=c	~~g~~=d	~~e~~=b	1	1

مرحله دوم: شناسایی حالات معادل و حذف یکی از آنها

حالت فعلی فلیپ‌فلاپ‌ها	حالت بعدی فلیپ‌فلاپ‌ها $x=0$	$x=1$	خروجی‌ها $x=0$	$x=1$
a	a	b	0	0
b	a	c	1	0
c	d	b	1	1
d	b	c	0	0



جدول‌های تحریک فلیپ‌فلاپ‌ها

JK Flip Flop

$Q(t)$	$Q(t+1)$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

RS Flip Flop

$Q(t)$	$Q(t+1)$	S	R
0	0	0	x
0	1	1	x
1	0	0	1
1	1	x	0

D Flip Flop

$Q(t)$	$Q(t+1)$	D
0	0	0
0	1	1
1	0	0
1	1	1

T Flip Flop

$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

طراحی (سنتز) مدارهای ترتیبی سنکرون

طراحی یک مدار ترتیبی با پالس ساعت از یک مجموعه مشخصات شروع می‌شود و به توابع منطقی و دیاگرام منطقی خاتمه می یابد.

اگر در مدارهای ترکیبی به جدول درستی نیاز داشتیم مدارهای ترتیبی نیاز به دست آوردن جدول حالت دارد.

طراحی (سنتز) مدارهای ترتیبی سنکرون

برای طراحی مدار ترتیبی مراحل زیر را طی می کنیم:

۱- از روی صورت مسئله جدول حالت را رسم می‌کنیم یا معادل آن دیاگرام حالت را رسم می‌کنیم.

۲- با استفاده از روش های کاهش حالات جدول حالت را ساده می‌کنیم.

۳- عملیات تخصیص حالت را انجام داده و اگر مرحله ۲ را انجام دادیم جدول حالت را دوباره تشکیل می‌دهیم.

۴- پس از رسم جدول حالت باید تعداد فلیپ‌فلاپ‌های مورد نیاز و نوع آنها مشخص گردد که این کار با استفاده از تعداد حالات مورد نیاز مشخص می‌گردد.

طراحی (سنتز) مدارهای ترتیبی سنکرون

(ادامه)

۵- جدول تحریک را تشکیل داده و ورودی‌های فلیپ‌فلاپ‌ها را برای هر تغییر حالت مشخص می‌کنیم.

۶- پس از کامل شدن ستون مربوط به هرکدام از ورودی‌های فلیپ‌فلاپ‌ها با روش نقشه کارنو یا روشهای ساده‌سازی دیگر توابع خروجی مدار و توابع ورودی فلیپ‌فلاپ‌ها مشخص می گردد.

۷- رسم شماتیک مدار.

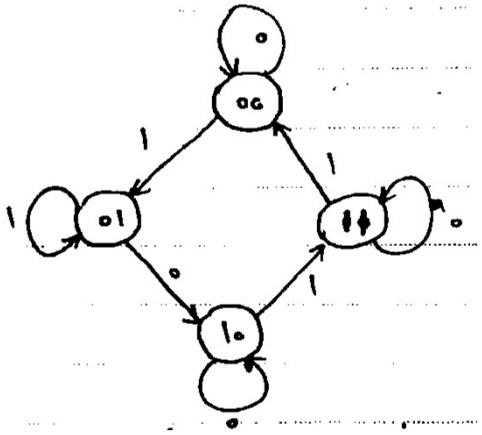
کاربرد فلیپ فلاپ ها

- فلیپ‌فلاپ D برای کاربردهای انتقال اطلاعات مانند شیفت دهنده ها استفاده می شود
- فلیپ‌فلاپ T در کاربردهایی که نیاز به مکمل کردن دارند استفاده می‌شوند مانند شمارنده‌ها

فلیپ‌فلاپ‌های JK و RS دارای کاربردهای عمومی می‌باشد

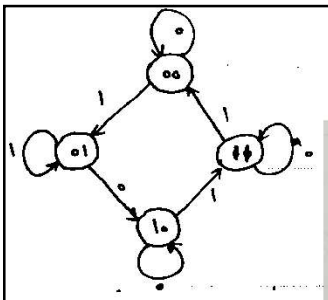
طراحی (سنتز) مدارهای ترتیبی سنکرون

مثال: مدار ترتیبی با پالس ساعت طراحی کنید که دیاگرام حالت آن مطابق شکل زیر باشد (از فلیپ‌فلاپ JK استفاده شود)



ورودی مستقل : x

حالت فلیپ‌فلاپ‌ها : A و B



$Q(t)$	$Q(t+1)$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

حالت فعلی		ورودی ها	حالت بعدی		ورودی های فلیپ فلاپ ها			
$A(t)$	$B(t)$	x	$A(t+1)$	$B(t+1)$	J_A	K_A	J_B	K_B
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

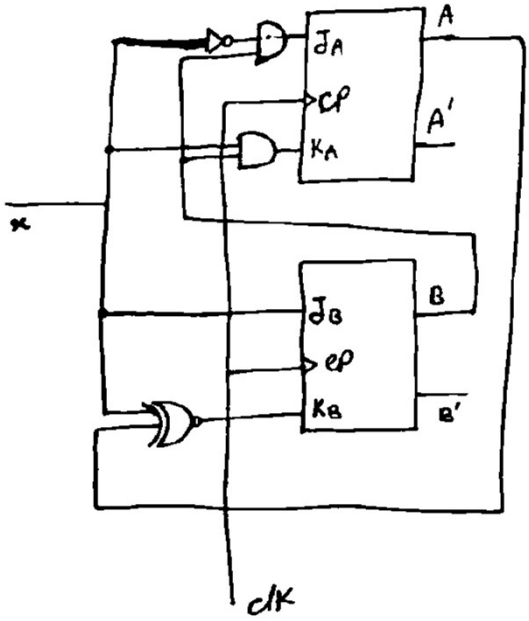
$J_A = f(A(t), B(t), x) = ?$

x \ AB	00	01	11	10
0		1	X	X
1			X	X

$J_A = x'B$

$$\begin{cases} K_A = xB \\ J_B = x \\ K_B = A \odot x \end{cases}$$

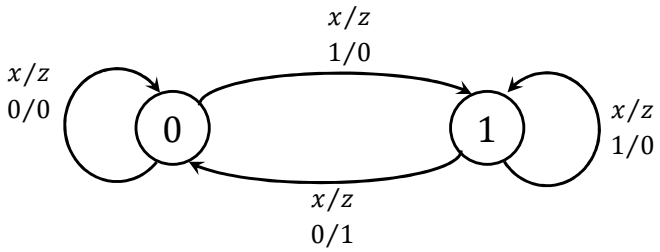
به همین ترتیب داریم :



طراحی (سنتز) مدارهای ترتیبی سنکرون

مثال: یک مدار ترتیبی سنکرون با ورودی x و خروجی z طراحی کنید که بیت‌های 10 را تشخیص دهد.

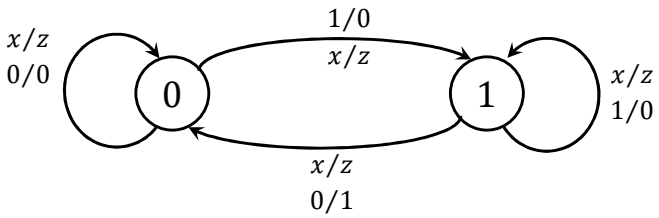
Y = 0 1 0 1 1 0 0



جدول حالت :

حالت فعلی فلیپ‌فلاپ‌ها	حالت بعدی فلیپ‌فلاپ‌ها $x=0$	حالت بعدی فلیپ‌فلاپ‌ها $x=1$	خروجی‌ها $x=0$	خروجی‌ها $x=1$
0	0	1	0	0
1	0	1	1	0

$Q(t)$	$Q(t+1)$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

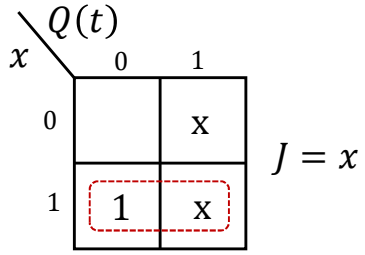


جدول تحریک :

حالت فعلی فلیپ‌فلاپ $Q(t)$	ورودی‌ها x	حالت بعدی فلیپ‌فلاپ $Q(t+1)$	خروجی‌ها z	ورودی فلیپ‌فلاپ J	ورودی فلیپ‌فلاپ K
0	0	0	0	0	x
0	1	1	0	1	x
1	0	0	1	x	1
1	1	1	0	x	0

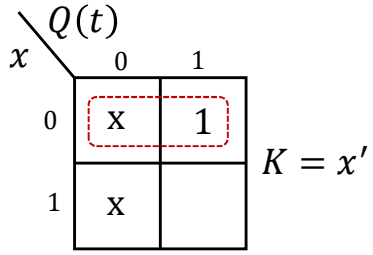
حالت فعلی فلیپ‌فلاپ $Q(t)$	ورودی‌ها x	حالت بعدی فلیپ‌فلاپ $Q(t+1)$	خروجی‌ها z	ورودی فلیپ‌فلاپ J	K
0	0	0	0	0	x
0	1	1	0	1	x
1	0	0	1	x	1
1	1	1	0	x	0

$J = f\big(x, Q(t)\big) = ?$



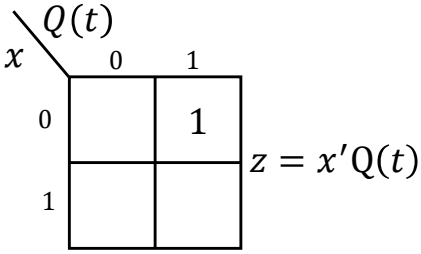
$J = x$

$K = f\big(x, Q(t)\big) = ?$



$K = x'$

$z = f\big(x, Q(t)\big) = ?$

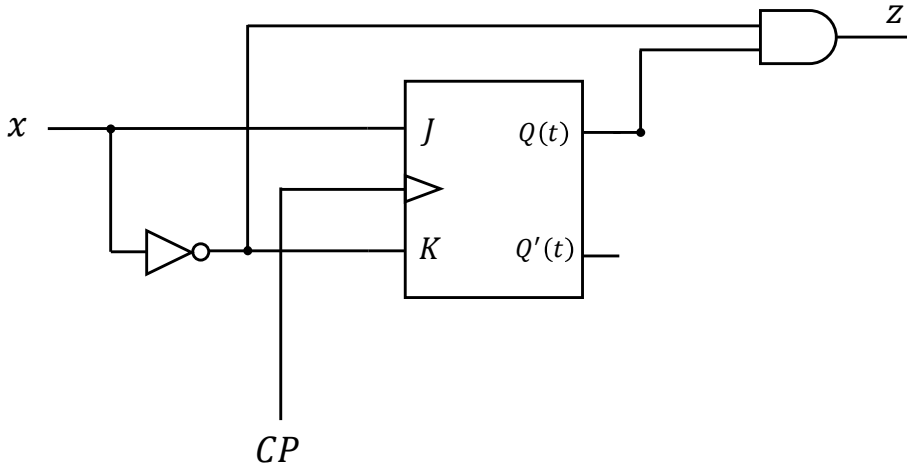


$z = x'\mathrm{Q}(t)$

$J = x$

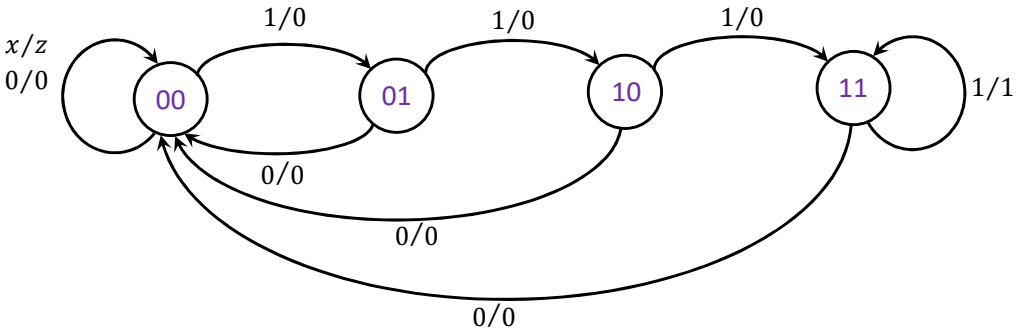
$K = x'$

$z = x'\mathrm{Q}(t)$



طراحی (سنتز) مدارهای ترتیبی سنکرون

تمرین: مداری طراحی کنید که رشته $x = 1111$ را تشخیص دهد. سپس این مدار را برای رشته $Y = 1101111111010$ تست کنید.



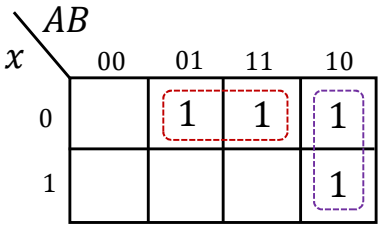
طراحی (سنتز) مدارهای ترتیبی سنکرون

مثال: یک مدار ترتیبی سنکرون با پالس ساعت طبق جدول زیر با استفاده از فلیپ‌فلاپ D طراحی کنید.

حالت فعلی فلیپ‌فلاپ		ورودی‌ها	حالت بعدی فلیپ‌فلاپ		خروجی‌ها	ورودی فلیپ‌فلاپ‌ها	
$A(t)$	$B(t)$	x	$A(t+1)$	$B(t+1)$	y	D_A	D_B
0	0	0	0	0	0	0	0
0	0	1	0	1	1	0	1
0	1	0	1	0	0	1	0
0	1	1	0	1	0	0	1
1	0	0	1	0	0	1	0
1	0	1	1	1	1	1	1
1	1	0	1	1	0	1	1
1	1	1	0	0	0	0	0

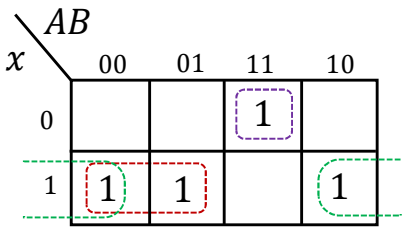
حالت فعلی فلیپ‌فلاپ $A(t)$	$B(t)$	ورودی‌ها x	حالت بعدی فلیپ‌فلاپ $A(t+1)$	$B(t+1)$	خروجی‌ها y	ورودی فلیپ‌فلاپ‌ها D_A	D_B
0	0	0	0	0	0	0	0
0	0	1	0	1	1	0	1
0	1	0	1	0	0	1	0
0	1	1	0	1	1	0	1
1	0	0	1	0	0	1	0
1	0	1	1	1	0	1	1
1	1	0	1	1	0	1	1
1	1	1	0	0	0	0	0

$D_A = f\big(x, A(t), B(t)\big) = ?$



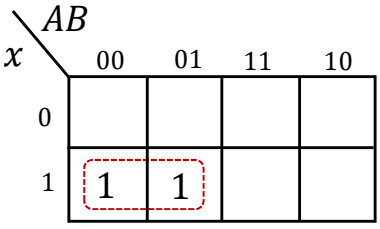
$D_A = x'B + AB'$

$D_B = f\big(x, A(t), B(t)\big) = ?$



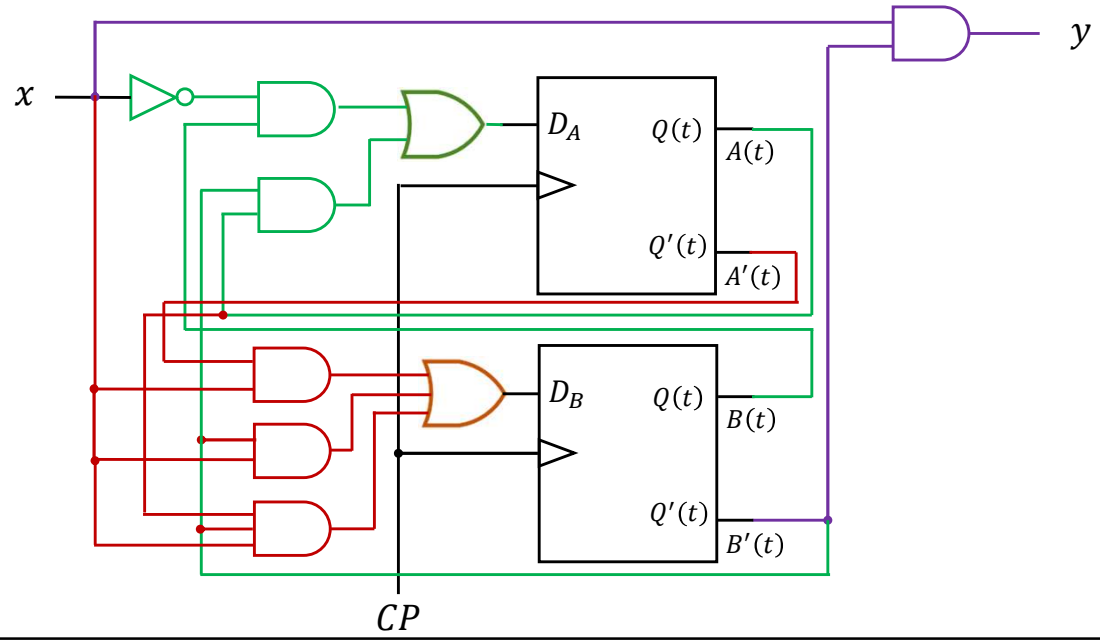
$D_B = A'x + B'x + AB'x$

$y = f\big(x, A(t), B(t)\big) = ?$



$y = B'x$

$D_A = x'B + AB'$ $\quad D_B = A'x + B'x + AB'x$ $\quad y = B'x$



طراحی (سنتز) مدارهای ترتیبی سنکرون (شمارنده‌ها)

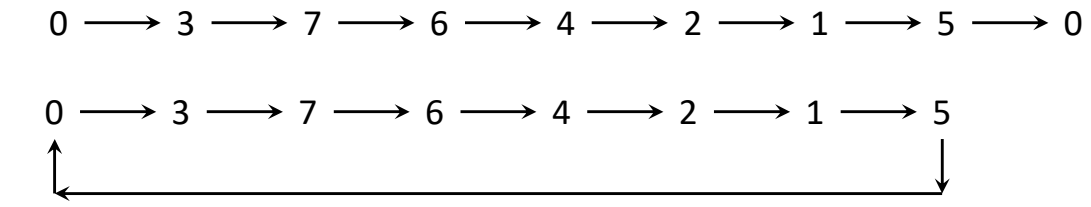
شمارنده (Counter) مداری است که پالس‌های ورودی را به طور منظم یا غیرمنظم شمارش می‌کند و به دو دسته تقسیم می شوند:

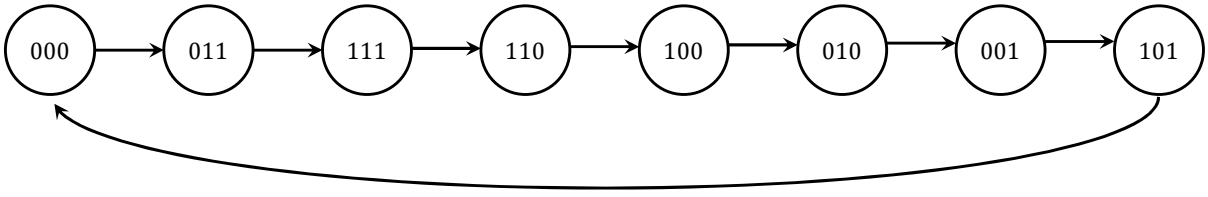
الف – شمارنده های سنکرون (Synchronous) که سیگنال clock به همه فیلیپ‌فلاپ‌ها اعمال می شود.

ب– شمارنده آسنکرون (Asynchronous) که در آن سیگنال clock فقط به اولین فیلیپ‌فلاپ وارد می‌شود. در این نوع شمارنده ها تغییر خروجی یک یا تعدادی فلیپ‌فلاپ باعث راه‌اندازی بقیه فلیپ‌فلاپ‌ها می‌شود؛ به بیان دیگر، وروری پالس ساعت بعضی فلیپ‌فلاپ‌ها از خروجی بقیه فلیپ‌فلاپ‌ها می‌آید.

طراحی (سنتز) مدارهای ترتیبی سنکرون

مثال: با فیلیپ‌فلاپ JK شمارنده ای طراحی کنید که به‌صورت زیر عمل کند:

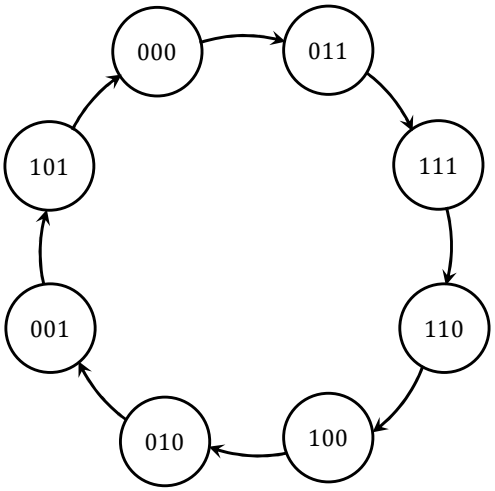


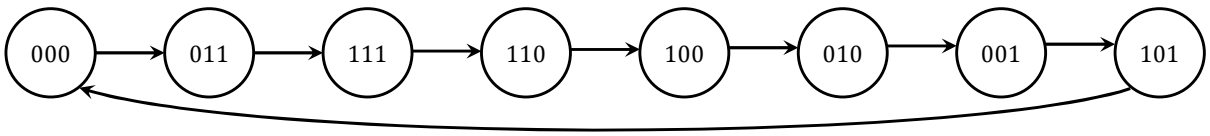


طراحی (سنتز) مدارهای ترتیبی سنکرون

مثال: با فیلیپ‌فلاپ JK شمارنده ای طراحی کنید که به‌صورت زیر عمل کند:

0 ⟶ 3 ⟶ 7 ⟶ 6 ⟶ 4 ⟶ 2 ⟶ 1 ⟶ 5 ⟶ 0





$Q(t)$	$Q(t+1)$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

حالت فعلی			حالات بعدی								
$A_3(t)$	$A_2(t)$	$A_1(t)$	$A_3(t+1)$	$A_2(t+1)$	$A_1(t+1)$	J_{A_3}	K_{A_3}	J_{A_2}	K_{A_2}	J_{A_1}	K_{A_1}
0	0	0	0	1	1	0	x	1	x	1	x
0	1	1	1	1	1	1	x	x	0	x	0
1	1	1	1	1	0	x	0	x	0	1	x
1	1	0	1	0	0	x	0	1	x	0	x
1	0	0	0	1	0	x	1	x	1	0	x
1	0	1	0	0	1	0	x	1	x	x	1
0	1	0	0	0	1	1	x	0	x	x	0
0	0	1	1	0	1	x	1	0	x	1	x

$J_{A_3} = f(A_3(t), A_2(t), A_1(t)) = ?$

A_3 \ A_2A_1	00	01	11	10
0		X	X	
1	1	1	X	X

$J_{A_3} = A_3$

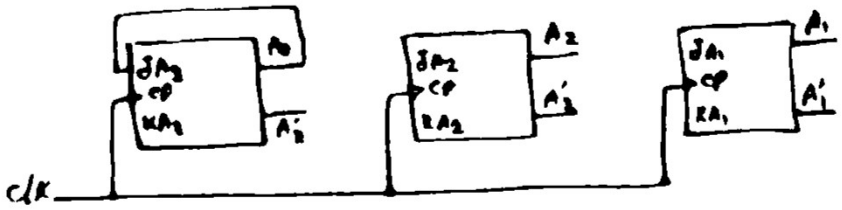
$K_{A_3} = ?$

$J_{A_2} = ?$

$K_{A_2} = ?$

$J_{A_1} = ?$

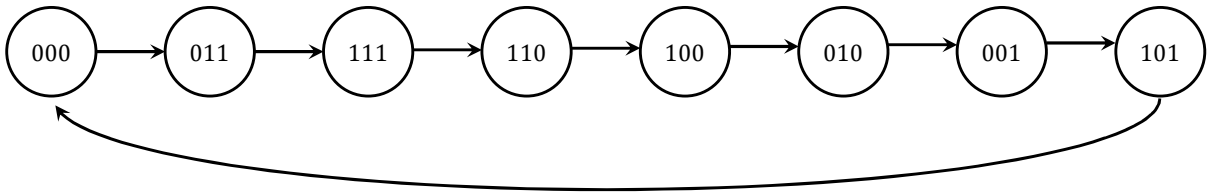
$K_{A_1} = ?$

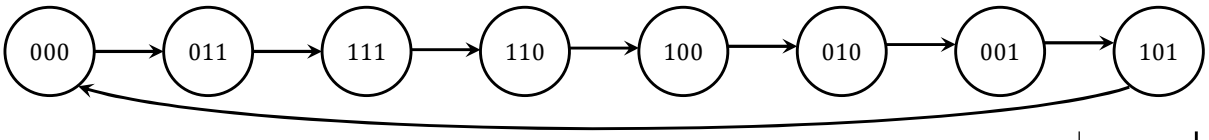


طراحی (سنتز) مدارهای ترتیبی سنکرون (شمارنده‌ها)

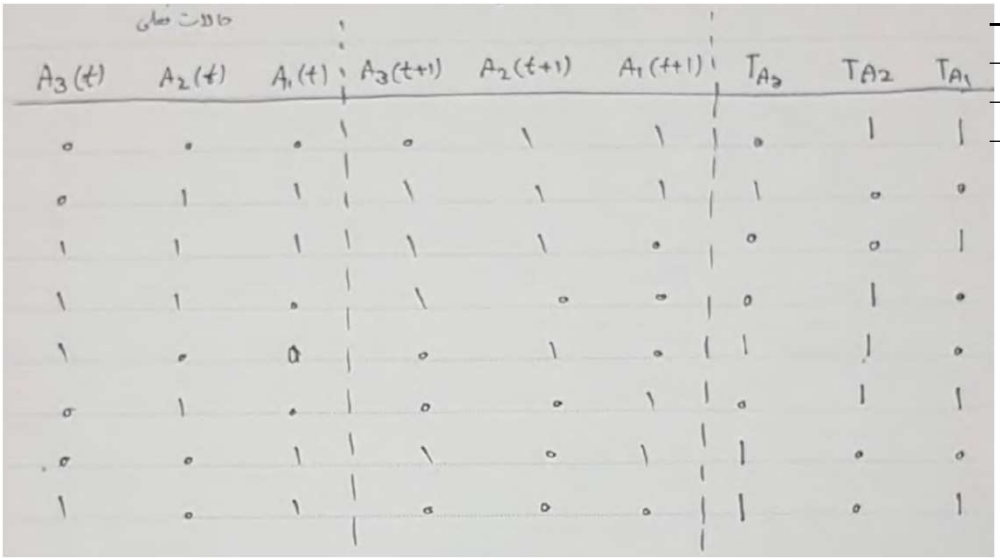
مثال: شمارنده مثال قبل را با فیلیپ‌فلاپ T طراحی کنید:

0 ⟶ 3 ⟶ 7 ⟶ 6 ⟶ 4 ⟶ 2 ⟶ 1 ⟶ 5 ⟶ 0



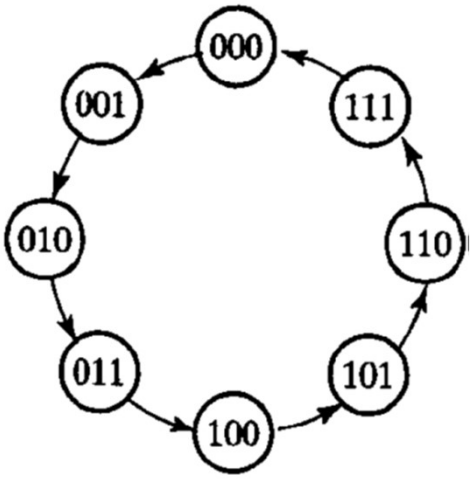


$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

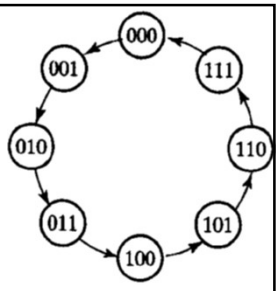


طراحی (سنتز) مدارهای ترتیبی سنکرون (شمارنده‌ها)

مثال: شمارنده زیر را با فلیپ‌فلاپ T طراحی کنید:

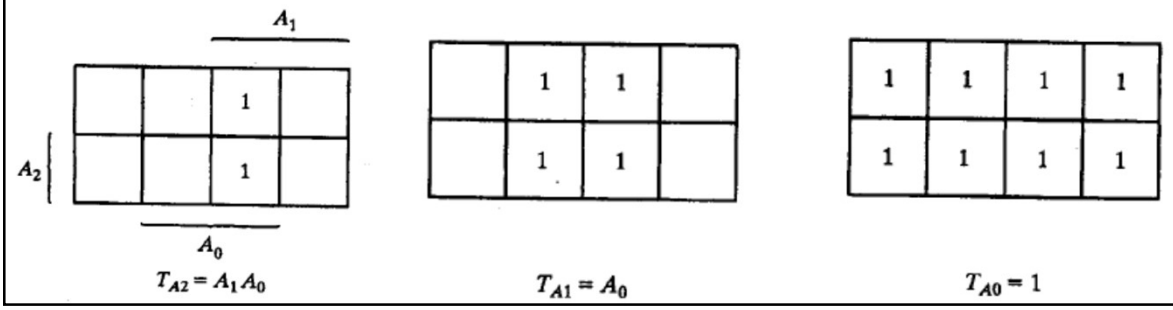


حالت فعلی			حالت بعدی			ورودی‌های فلیپ فلاپ		
A_2	A_1	A_0	A_2	A	A_0	T_{A2}	T_{A1}	T_{A0}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	1	1
1	1	1	0	0	0	1	1	1



$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

حالت فعلی			حالت بعدی			ورودی‌های فلیپ فلاپ		
A_2	A_1	A_0	A_2	A	A_0	T_{A2}	T_{A1}	T_{A0}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	1	1
1	1	1	0	0	0	1	1	1

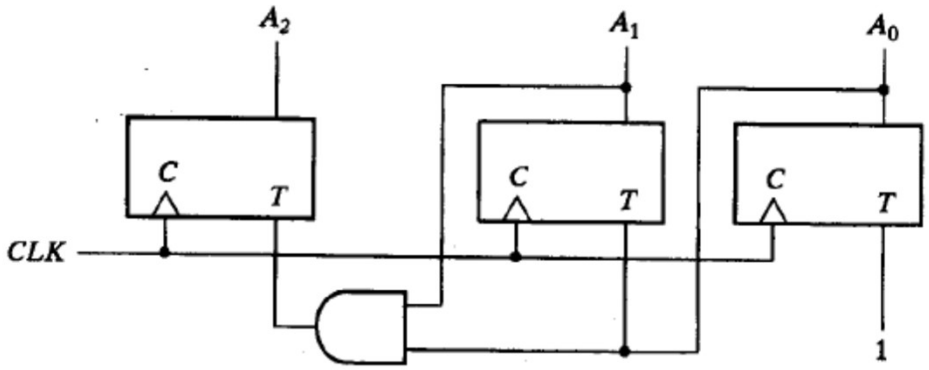


$T_{A2} = A_1 A_0$ $T_{A1} = A_0$ $T_{A0} = 1$

$$T_{A2} = A_1 A_0$$

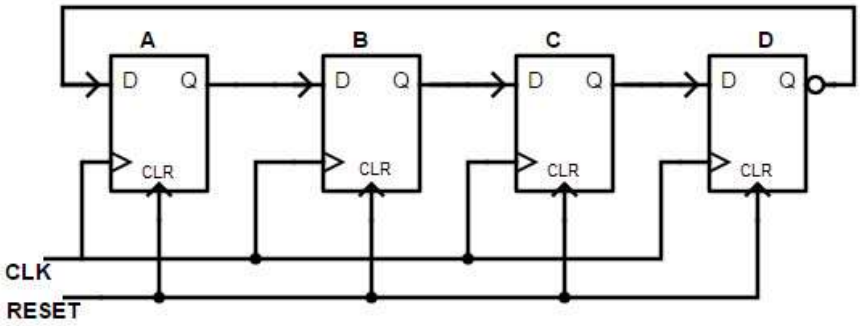
$$T_{A1} = A_0$$

$$T_{A0} = 1$$



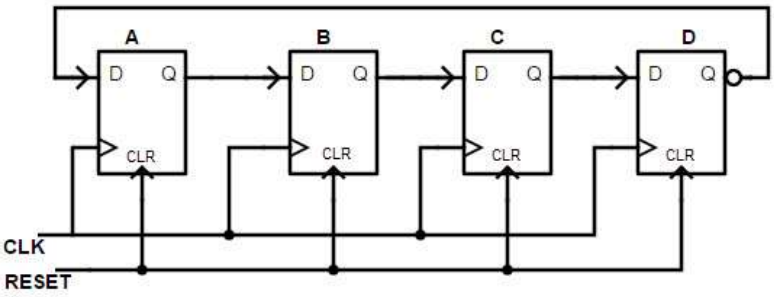
شمارنده حلقوی

شمارنده حلقوی از تعدادی فلیپ‌فلاپ D تشکیل شده که به‌صورت سریال به هم متصل هستند و خروجی هر فلیپ‌فلاپ به ورودی فیلیپ فلاپ بعدی متصل است و همچنین خروجی آخرین فلیپ‌فلاپ به ورودی اولین فلیپ‌فلاپ متصل است.

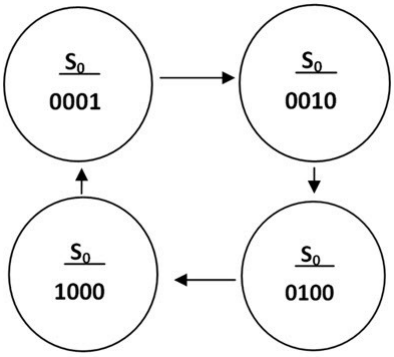


Q_0	Q_1	Q_2	Q_3
1	0	0	0
0	1	0	0
0	0	1	0
0	0	0	1

شمارنده حلقوی

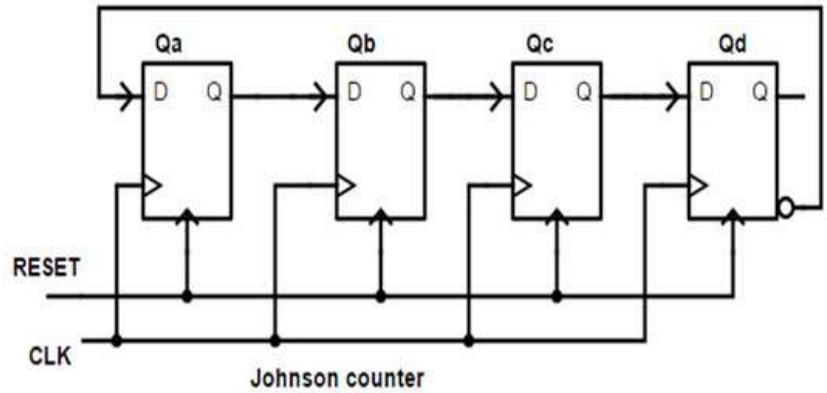


Q_0	Q_1	Q_2	Q_3
1	0	0	0
0	1	0	0
0	0	1	0
0	0	0	1



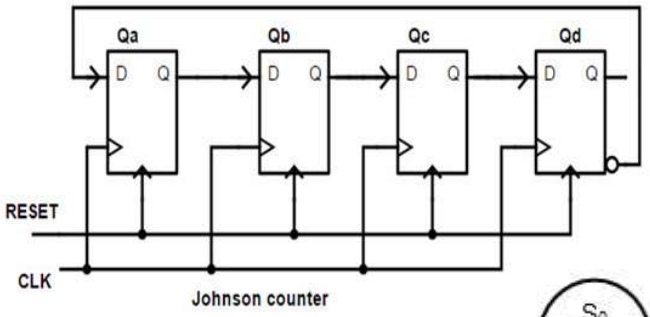
شمارنده جانسون

شمارنده جانسون همانند شمارنده حلقوی است با این تفاوت که مکمل خروجی آخرین فلیپ‌فلاپ به ورودی اولین فلیپ‌فلاپ متصل است.



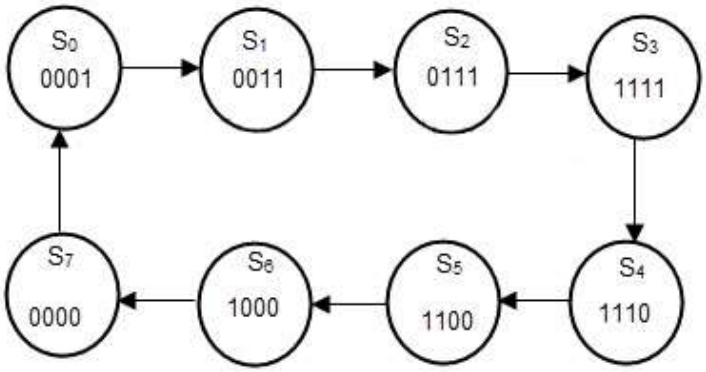
Q_A	Q_B	Q_C	Q_D
0	0	0	0
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1
repeat			

شمارنده جانسون

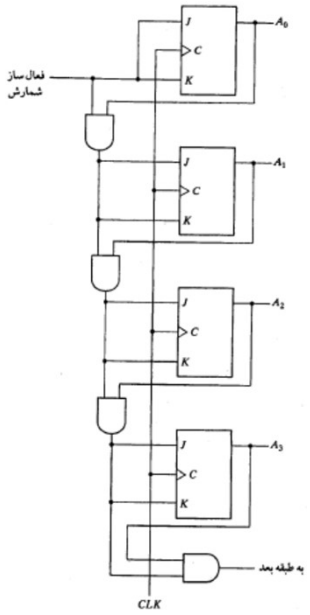


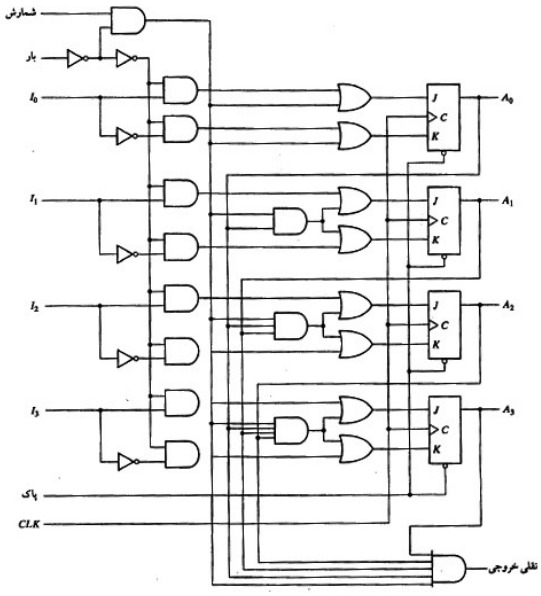
Johnson counter

Q_A	Q_B	Q_C	Q_D
0	0	0	0
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1
repeat			

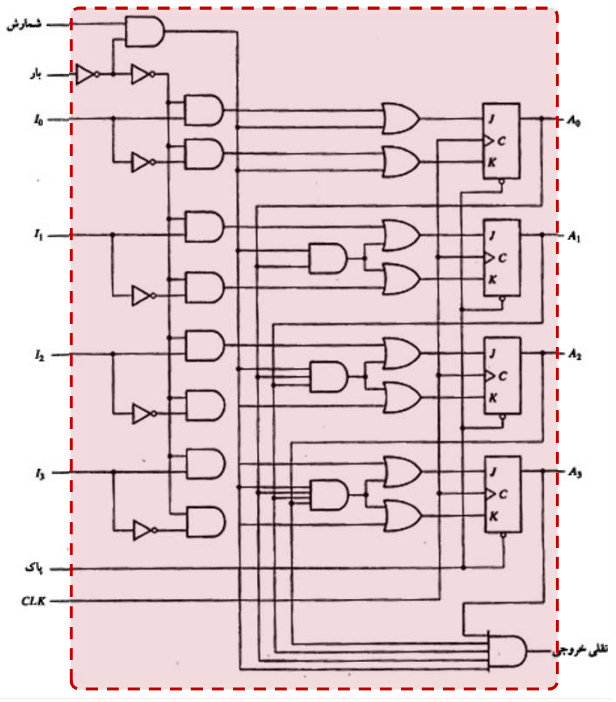


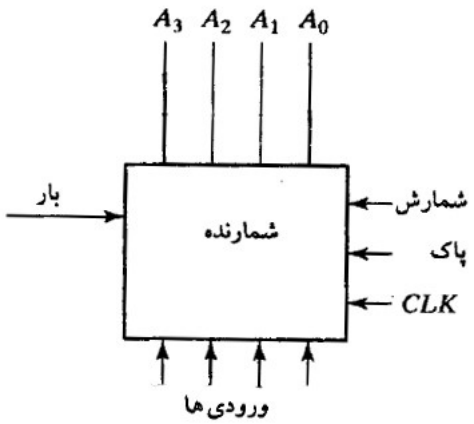
شمارنده مدول N





شمارنده مدول N





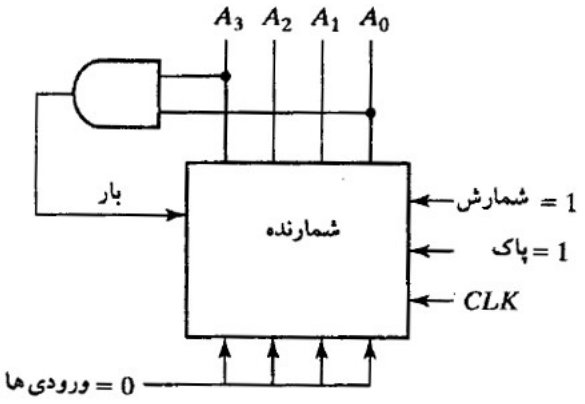
شمارنده مدول N

شمارنده BCD

N	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

BCD counting

Binary counting



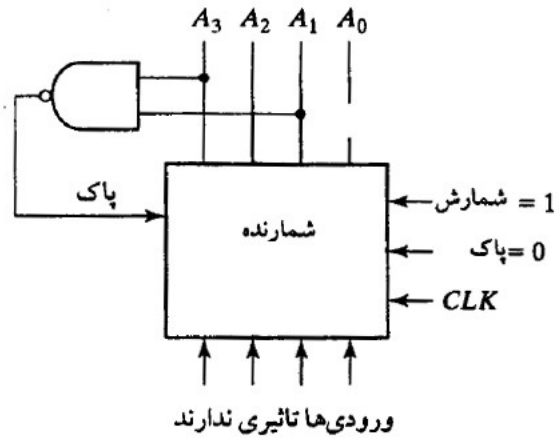
شمارنده مدول N

شمارنده BCD

N	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

BCD counting

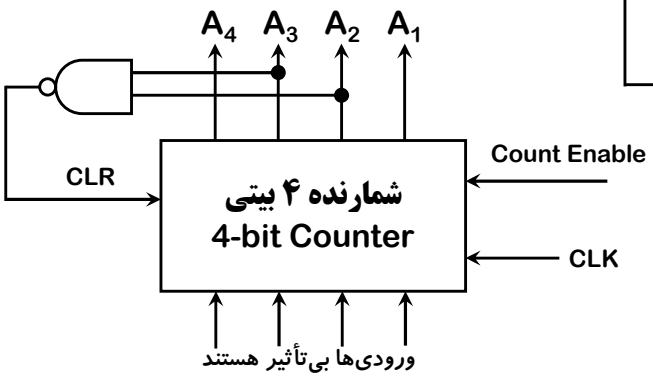
Binary counting

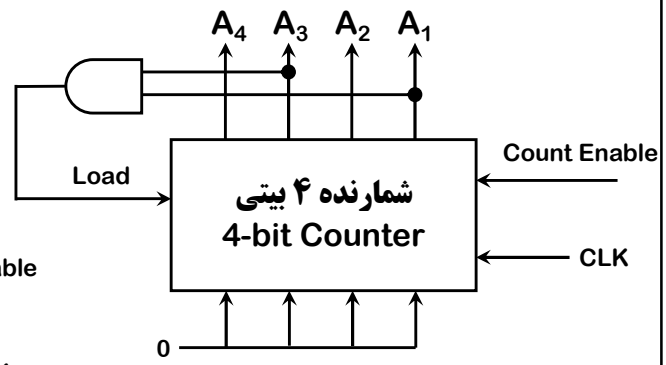


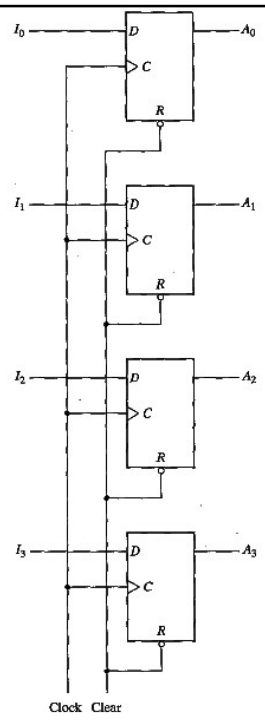
شمارنده مدول N

شمارنده مدول ۵

N	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0





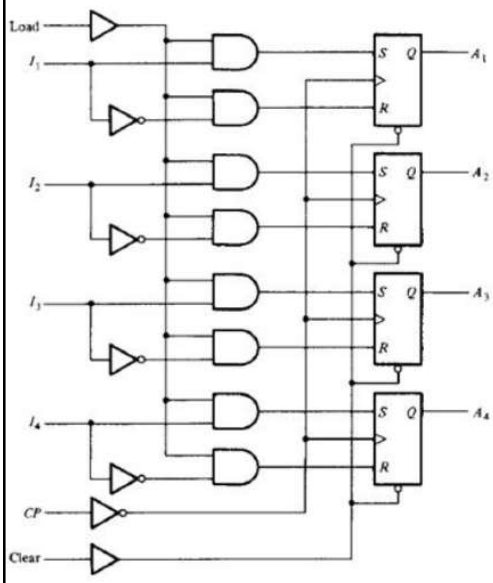


رجیسترها و شیفت‌رجیسترها

ثبات‌ها مجموعه‌ای از سلول‌های حافظه هستند که می‌توانند اطلاعات باینری را در خود نگه دارند یک ثبات n بیتی از n فلیپ‌فلاپ تشکیل شده است

ساده‌ترین نوع ثبات ممکن است فقط شامل تعدادی فلیپ‌فلاپ باشد و هیچگونه گیت خارجی در آن به کار نرفته باشد.

رجیسترها و شیفت‌رجیسترها



رجیستر با امکان بار شدن موازی (Parallel Loading)

انتقال اطلاعات جدید به داخل یک ثبات بار شدن (Loading) اطلاعات به ثبات گفته می‌شود.

اگر همه بیتهای یک ثبات با یک پالس ساعت به طور همزمان با شوند می گوییم عمل بار شدن به‌صورت موازی انجام شده است.

رجیسترها و شیفت‌رجیسترها

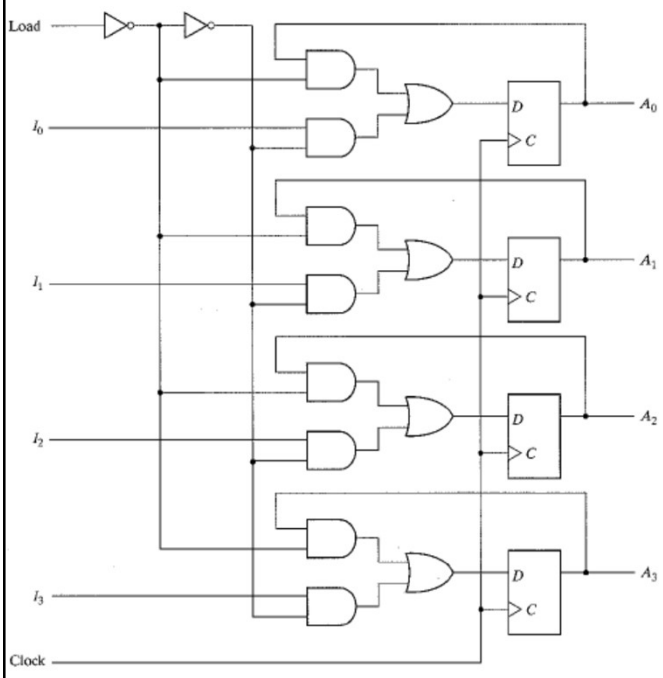
رجیستر با امکان بار شدن موازی (Parallel Loading)

اگر بخواهیم ثبات محتویات خود را حفظ کند باید ساختار دیگری به کار ببریم در این ساختار اگر Load=1 شد با آمدن لبه مثبت پالس ساعت، ورودی به فلیپ‌فلاپ‌ها منتقل می‌شود ولی اگر Load=0 باشد ثبات محتویات فعلی خود را حفظ می‌کند.

رجیسترها و شیفت‌رجیسترها

رجیستر با امکان بار شدن موازی

(Parallel Loading)

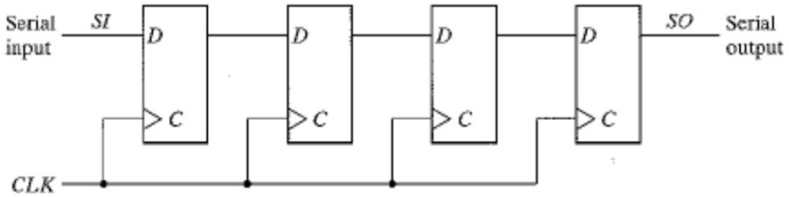


از آنجایی که فلیپ فلاپ D حالت حفظ داده ندارد و همیشه با پالس ساعت، ورودی را به داخل منتقل می‌کند برای حفظ داده باید از فیدبک استفاده کنیم

رجیسترها و شیفت‌رجیسترها

یک رجیستر که قادر است اطلاعات باینری خود را به سمت چپ یا راست انتقال دهد یک شیفت رجیستر (Shift Register) نام دارد.

ساختتار منطقی یک شیفت رجیستر را زنجیره‌ای از فلیپ‌فلاپ‌های متصل به‌هم تشکیل می‌دهند به طوری که خروجی یک فلیپ فلاپ به ورودی فلیپ فلاپ دیگر متصل است و همه این فلیپ‌فلاپ پالس ساعت مشترکی را دریافت می‌کنند.



رجیسترها و شیفت‌رجیسترها

معمولاً شیفت رجیستر ها را به چهار دسته زیر تقسیم می کنند:

۱) Serial In Serial Out (SISO)

۲) Serial In Parallel Out (SIPO)

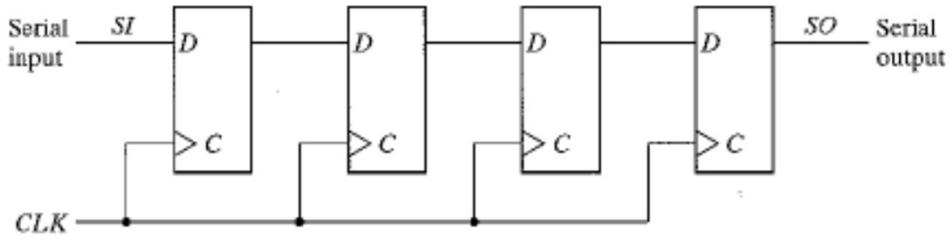
۳) Parallel In Serial Out (PISO)

۴) Parallel In Parallel Out (PIPO)

رجیسترها و شیفت‌رجیسترها

Serial In Serial Out (SISO)

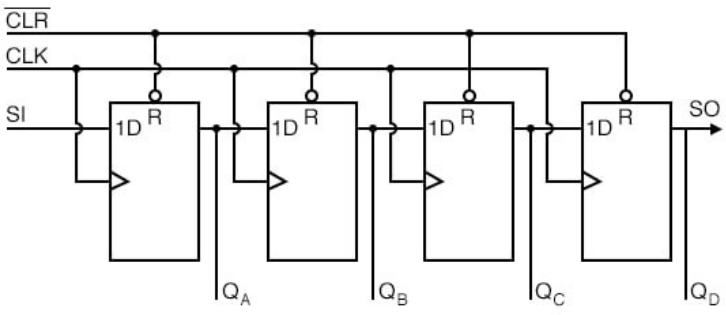
یک ورودی سریال و یک خروجی سریال دارد.



رجیسترها و شیفت‌رجیسترها

Serial In Parallel Out (SIPO)

اگر هر چهار خروجی فلیپ فلاپ ها را به عنوان خروجی انتخاب کنیم.

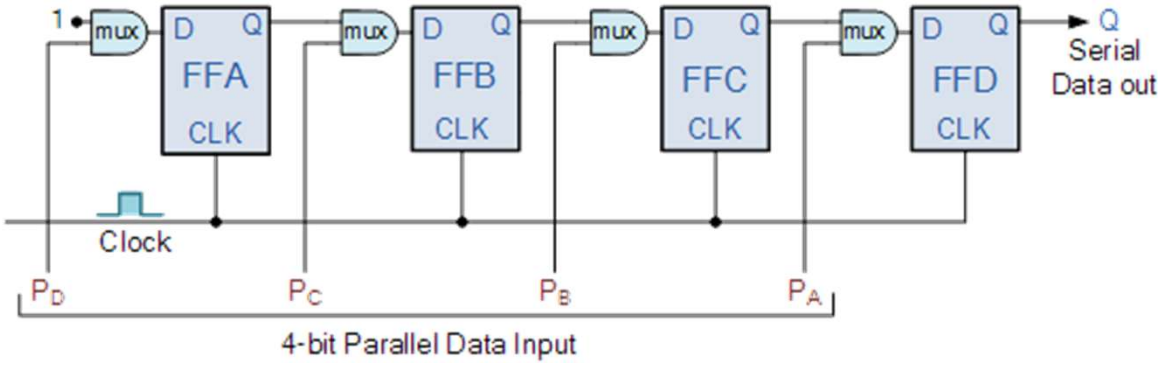


Serial-in/ Parallel-out shift register details

رجیسترها و شیفت‌رجیسترها

Parallel In Serial Out (PISO)

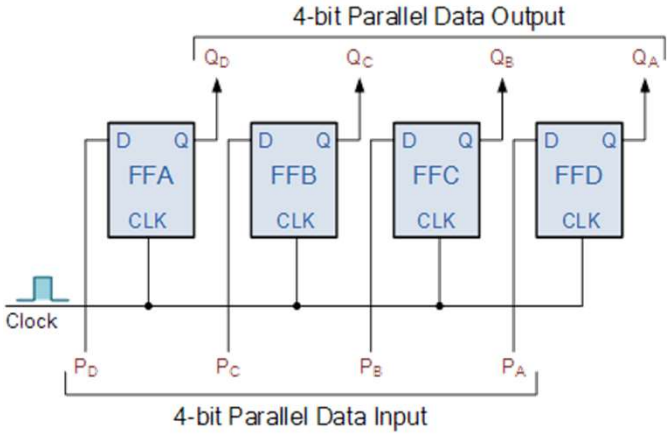
ورودی موازی به همه فیلیپ‌فلاپ‌ها اعمال می‌شود و خروجی از یک فیلیپ‌فلاپ گرفته می‌شود.



رجیسترها و شیفت‌رجیسترها

Parallel In Parallel Out (PIPO)

همه ورودی‌ها به همه فیلپ‌فلاپ‌ها داده شود و از همه فیلپ‌فلاپ‌ها گرفته شود.



رجیسترها و شیفت‌رجیسترها

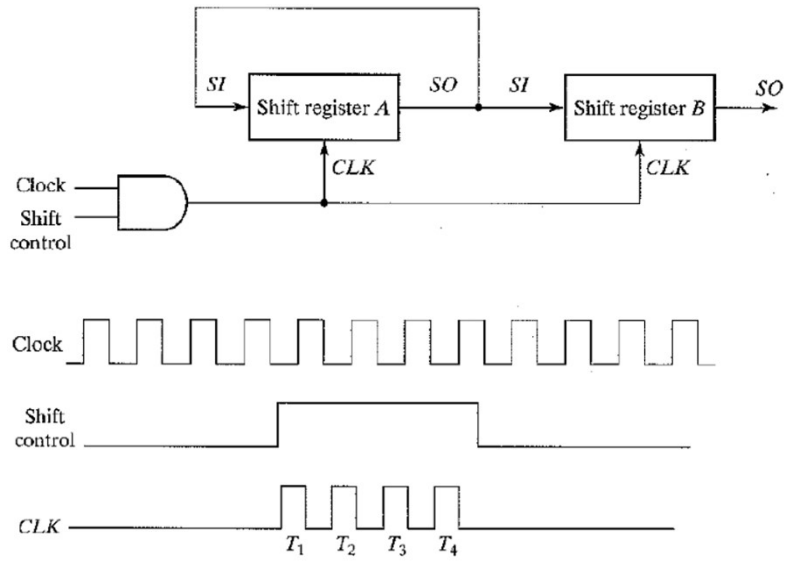
انتقال سری

اگر در یک سیستم دیجیتال اطلاعات یک بیت یک بیت انتقال یابد می‌گوییم سیستم در وضعیت یا مد سری (Serial) کار می کند.

محتوای یک شیفت‌رجیستر به‌وسیله شیفت دادن بیت‌های آن به ثبات دیگر منتقل می‌شود. لذا به‌وسیله شیفت دادن اطلاعات، بیت‌ها از یک ثبات مبدأ خارج و به ثبات مقصد دیگری وارد می‌شوند.

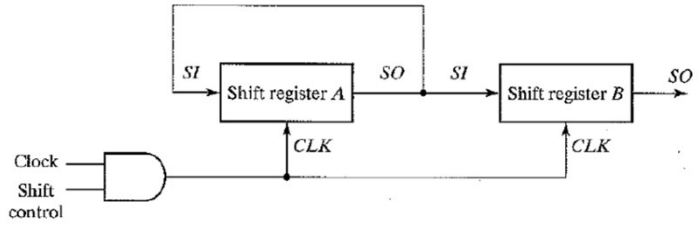
رجیسترها و شیفت‌رجیسترها

انتقال سری



رجیسترها و شیفت‌رجیسترها

انتقال سری



پالس زمانی	شیفت رجیستر A	شیفت رجیستر B
مقدار اولیه	1 0 1 1	0 0 1 0
پس از T_1	1 1 0 1	1 0 0 1
پس از T_2	1 1 1 0	1 1 0 0
پس از T_3	0 1 1 1	0 1 1 0
پس از T_4	1 0 1 1	1 0 1 1

رجیسترها و شیفت‌رجیسترها

شیفت رجیستر با امکانات مختلف

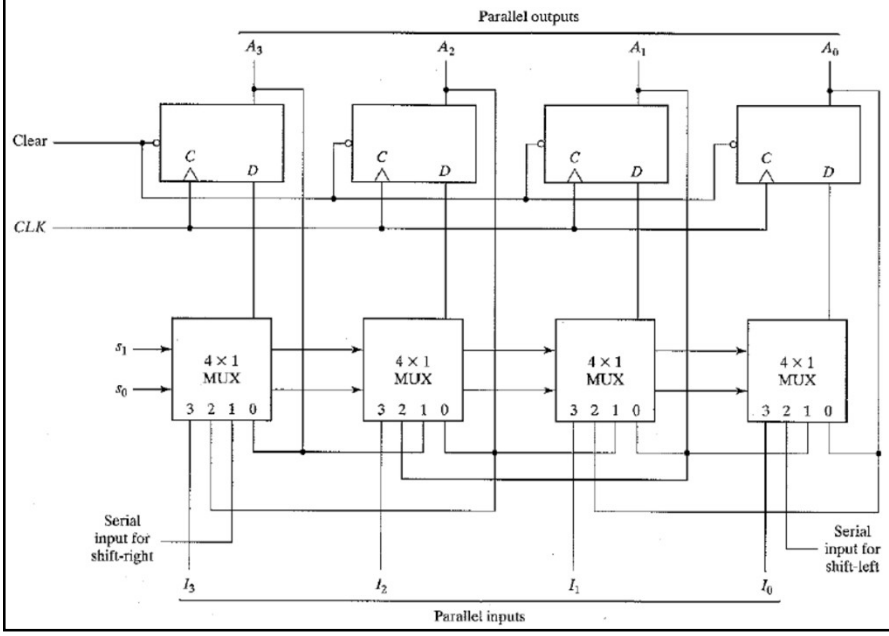
می‌خواهیم شیفت‌رجیستری داشته باشیم که امکان شیفت به راست، شیفت به چپ و بار شدن موازی را داشته باشد و همچنین بتواند محتویات خود را حفظ کند.

Mode Control		
s_1	s_0	*Register* Operation
0	0	No change
0	1	Shift right
1	0	Shift left
1	1	Parallel load

رجیسترها و شیفت‌رجیسترها

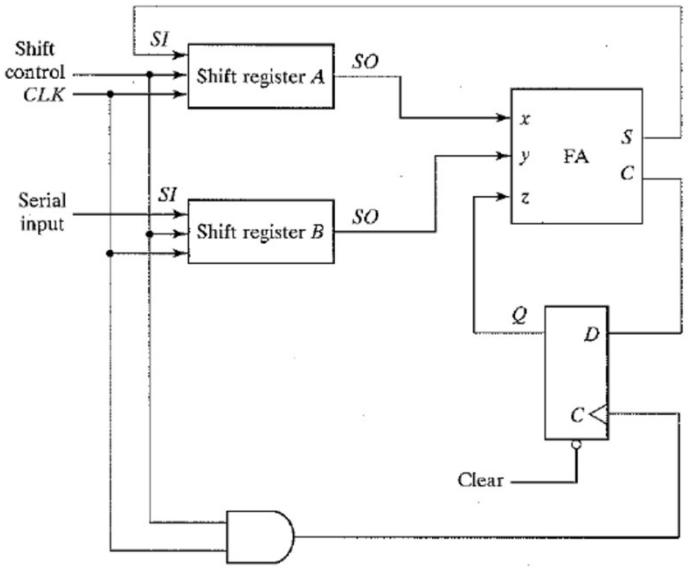
شیفت رجیستر

با امکانات مختلف



رجیسترها و شیفت‌رجیسترها

عمل جمع سری



عملیات در کامپیوتر به صورت موازی انجام می‌شود چون سرعت عملیات موازی بیشتر از سری است است ولی عملیات سری در عین حال که کندتر هستند به قطعات کمتری نیاز دارند.

رجیسترها و شیفت‌رجیسترها

تفاوت های جمع‌کننده سریال با جمع‌کننده موازی

۱- جمع‌کننده موازی باید از ثبات‌هایی استفاده کنند که توانایی بار شدن موازی داشته باشند در صورتی که جمع کننده سریال فقط از شیفت رجیستر ها استفاده می‌کند.

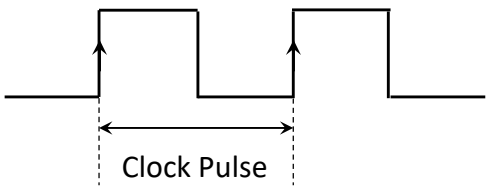
۲- تعداد جمع‌کننده‌های جمع‌کننده موازی برابر تعداد بیت‌های اعدادی است که باید با هم جمع شوند در صورتی که جمع کننده سریال یک FA برای رقم نقلی استفاده می‌کند.

۳- علاوه بر رجیسترها، جمع‌کننده موازی ترکیبی و جمع‌کننده سریال ترتیبی است.

تقسیم فرکانس

در یک موج متناوب مثل پالس ساعت، از یک لبه مثبت (یک لبه منفی) تا لبه مثبت بعدی (لبه منفی بعدی) را یک پالس ساعت (Clock Pulse) گویند و مدت زمان آن را پریود یا دوره تناوب (Clock Cycle Time) گویند.

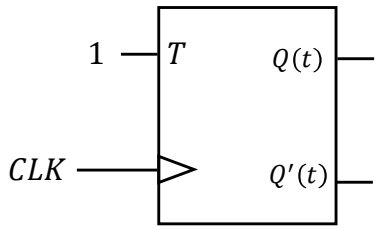
عکس دوره تناوب را فرکانس یا (Clock Rate) گویند و واحد آن هرتز (Hz) است

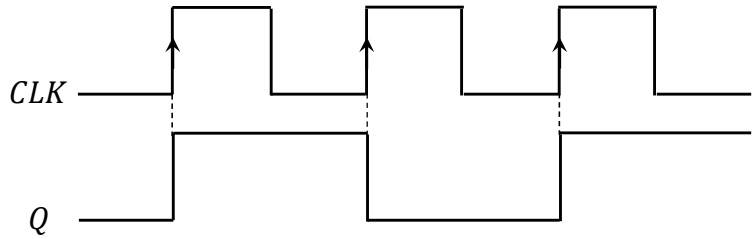


$$Clock\ Rate\ (Hz) = \frac{1}{clock\ Cycle\ Time\ (sec)}$$

تقسیم فرکانس

مثال: در فلیپ‌فلاپ T شکل زیر، فرکانس پالس ساعت برابر با ۱۰ کیلوهرتز است. فرکانس Q را بیابید



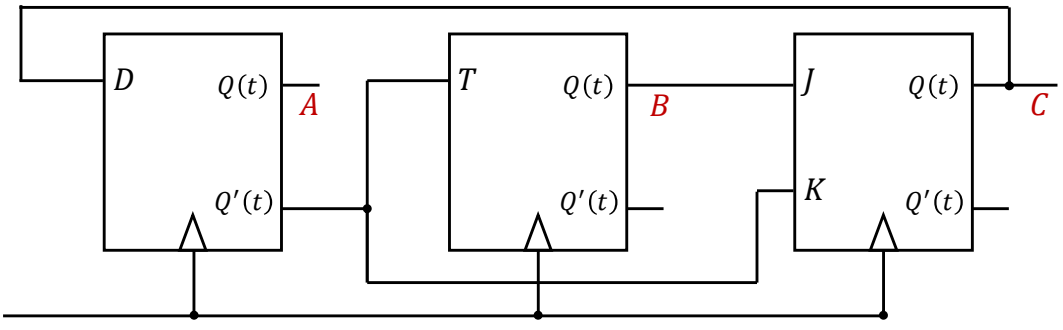


$$f_Q = \frac{1}{2} f_{CLK} \quad \rightarrow \quad f_Q = 5\ KHz$$

توجه: در فلیپ‌فلاپ وقتی $T = 1$ است، فرکانس پالس ساعت ورودی نصف می‌شود.

تقسیم فرکانس

مثال: در مدار شکل زیر، فرکانس A و B و C را بیابید. فرض کنید فرکانس پالس ساعت ۶۰KHz است و حالت شروع $ABC = 000$ است.



$D_A = C$ $\quad T_B = \bar{A}$ $\quad J_C = B$ $\quad K_C = \bar{A}$

$A(t+1) = D_A = C$ $\quad B(t+1) = T_B \oplus \mathrm{B} = \bar{A} \oplus \mathrm{B}$

$C(t+1) = J_C.\bar{C} + \overline{K_C}.\mathrm{C}$
$= B\bar{C} + \mathrm{AC}$

$D_A = C \qquad T_B = \bar{A} \qquad J_C = B \qquad K_C = \bar{A}$

$A(t+1) = D_A = C \qquad B(t+1) = T_B \oplus \mathrm{B} = \bar{A} \oplus \mathrm{B}$

$C(t+1) = J_C.\bar{C} + \overline{K_C}.\mathrm{C} = B\bar{C} + \mathrm{AC}$

جدول حالت:

$A(t)$	$B(t)$	$C(t)$	$A(t+1)$	$B(t+1)$	$C(t+1)$
0	0	0	0	1	0
0	1	0	0	0	1
0	0	1	1	1	0
1	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0

$$f_A = \frac{2}{6} f_{CLK} = \frac{60}{3} = 20\ KHz$$

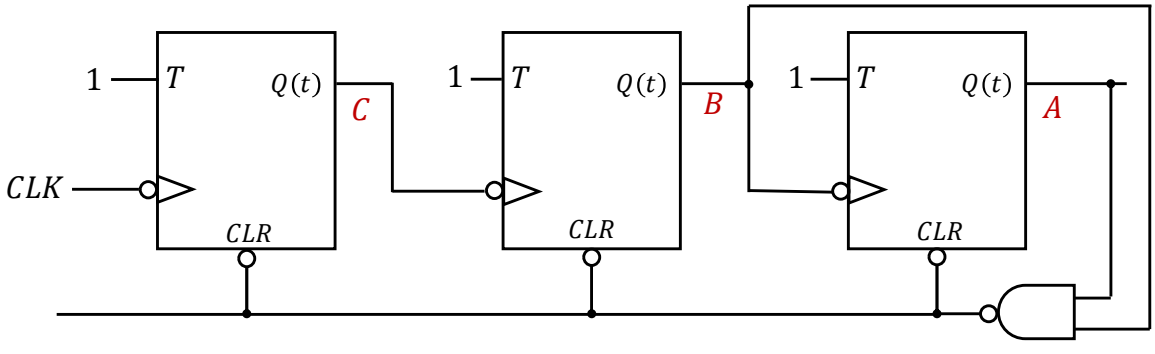
$$f_B = \frac{2}{6} f_{CLK} = \frac{60}{3} = 20\ KHz$$

$$f_C = \frac{2}{6} f_{CLK} = \frac{60}{3} = 20\ KHz$$

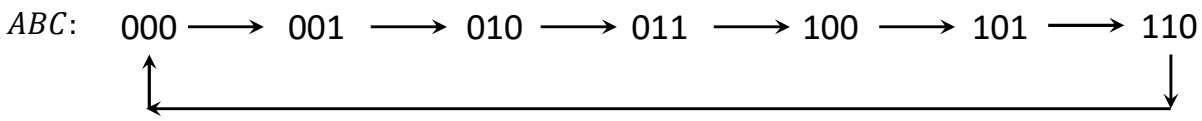
ABC: 000 ⟶ 010 ⟶ 001 ⟶ 110 ⟶ 011 ⟶ 100

تقسیم فرکانس

مثال: در مدار شکل زیر، فرکانس A و B و C را بافرض اینکه CLR با CLK سنکرون باشد، بیابید.



ABC: 000 ⟶ 001 ⟶ 010 ⟶ 011 ⟶ 100 ⟶ 101 ⟶ 110



$$f_A = \frac{1}{7} f_{CLK} \qquad f_B = \frac{2}{7} f_{CLK} \qquad f_C = \frac{3}{7} f_{CLK}$$

توجه: در این مثال اگر CLR با CLK سنکرون نباشد، عدد 110 شمارش نمی شود و شمارنده از 101 به 000 برمی‌گردد و آنگاه:

$$f_A = \frac{1}{6} f_{CLK} \qquad f_B = \frac{1}{6} f_{CLK} \qquad f_C = \frac{3}{6} f_{CLK}$$

"Tis all a Chequer-board of nights and days

Where Destiny with men for Pieces plays:

Hither and thither moves, and mates, and slays,

And one by one back in the closet lays."

__ Omar Khayyam

Thanks to s scientists all over the history

برای کسب اطلاعات بیشتر در مورد این درس می‌توانید به وب سایت آموزشی در لینک زیر مراجعه نمایید

http://shafieian-education.ir